

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-154388

(43)Date of publication of application : 13.06.1990

(51)Int.CI.

G11C 11/22

G11C 11/42

H01L 27/10

(21)Application number : 63-321639

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 20.12.1988

(72)Inventor : NAGASAKI TATSUO

OMURA MASAYOSHI

WATANABE HITOSHI

YOSHIMORI HIROYUKI

IMAIDE SHINICHI

IKUTA HIDETSUGU

YANAGISAWA KAZUMUKI

(30)Priority

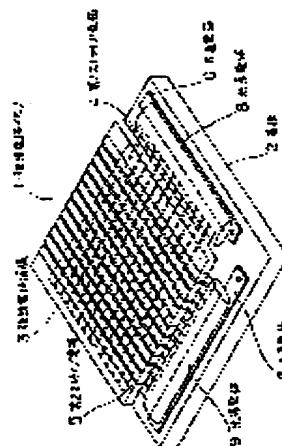
Priority number : 63170471 Priority date : 08.07.1988 Priority country : JP

## (54) FERROELECTRIC MEMORY AND ITS DRIVING AND MANUFACTURING METHOD

### (57)Abstract:

**PURPOSE:** To simplify the recording and reading-out position control and improve the information recording and reading-out speeds by connecting the 1st and 2nd stripe electrodes with common electrodes and, at the same time, providing switching means which selects electrodes out of the stripe electrodes.

**CONSTITUTION:** The 1st stripe electrode is constituted of plural stripe electrodes arranged in parallel with each other on one surface of a ferroelectric thin film 3 and the 2nd stripe electrode 5 is constituted of plural stripe electrodes arranged in parallel with each other on the other surface of the thin film 3 in the direction intersecting the electrodes 4. Common electrodes 6 and 7 are respectively provided along the arranged directions of the electrodes 4 and 5 at positions apart from end sections of the electrodes 4 and 5. Switching means 8 and 9 respectively connect the electrodes 4 and 5 with the electrodes 6 and 7 and, at the same time, select electrodes out of the electrodes 4 and 5. Therefore, the recording and reading-out position control can be simplified and the information recording and reading-out speeds can be improved.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

[converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2788265号

(45)発行日 平成10年(1998)8月20日

(24)登録日 平成10年(1998)6月5日

(51)Int.Cl.<sup>a</sup>  
G 1 1 C 11/42  
11/22  
H 0 1 L 27/10 4 5 1

F I  
G 1 1 C 11/42  
11/22  
H 0 1 L 27/10 4 5 1

請求項の数2(全24頁)

(21)出願番号 特願昭63-321639  
(22)出願日 昭和63年(1988)12月20日  
(65)公開番号 特開平2-154388  
(43)公開日 平成2年(1990)6月13日  
審査請求日 平成7年(1995)12月5日  
(31)優先権主張番号 特願昭63-170471  
(32)優先日 昭63(1988)7月8日  
(33)優先権主張国 日本 (JP)

(73)特許持者 99999999  
オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号  
(72)発明者 長崎 透夫  
東京都渋谷区幡ヶ谷2丁目43番2号 オ  
リンパス光学工業株式会社内  
(72)発明者 大村 正由  
東京都渋谷区幡ヶ谷2丁目43番2号 オ  
リンパス光学工業株式会社内  
(72)発明者 渡辺 均  
東京都渋谷区幡ヶ谷2丁目43番2号 オ  
リンパス光学工業株式会社内  
(72)発明者 由森 博之  
東京都渋谷区幡ヶ谷2丁目43番2号 オ  
リンパス光学工業株式会社内

最終頁に渡く

(54)【発明の名称】 強誘電体メモリ及びその感動方法、製造方法

1

(57)【特許請求の範囲】

【請求項1】強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からなる第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極からなる第2ストライプ電極と、上記第1ストライプ電極および上記第2ストライプ電極から所望の電極を選択する切替え手段とを有する強誘電体メモリにおいて、

上記第1及び第2ストライプ電極は、全て抵抗器を介して接地されており、

上記切替手段は、上記第1ストライプ電極の配列方向に沿ってストライプ電極の端部から離間して設けられた相互に分離した複数の電極部からなる第1共通電極と、上記第1ストライプ電極の選択されたストライプ電極を上

10

2

記第1共通電極に接続する複数対のスイッチを有するスイッチ手段と、第1増幅器とを備え、  
上記第1増幅器は、接地された正の入力端子を有し、上記第1共通電極の一つの電極部に接続される負の入力端子と、フィードバック抵抗器を介して上記第1共通電極の他の電極部に接続されている出力端子と、上記第1共通電極の複数の電極部に接続され選択された上記スイッチとから、フィードバック回路を構成することを特徴とする強誘電体メモリ。

【請求項2】上記切替手段は、更に、上記第2ストライプ電極の配列方向に沿ってストライプ電極の端部から離間して設けられて相互に分離した複数の電極部からなる第2共通電極と、上記第2ストライプ電極の選択されたストライプ電極を上記第2共通電極に接続する複数対のスイッチを有するスイッチ手段と、第2増幅器と、駆動

回路とを備え、

上記第2増幅器は、上記駆動回路の出力が接続される正の入力端子を有し、上記第2共通電極の一つの電極部に接続される負の入力端子と、上記第2共通電極の他の電極部に接続される出力端子と、上記第2共通電極の複数の電極部に接続され選択された上記スイッチとから、フィードバック回路を構成することを特徴とする請求項1記載の強誘電体メモリ。

【発明の詳細な説明】

【産業上の利用分野】

この発明は強誘電体材料を情報記録媒体（メモリ）に用いた強誘電体メモリおよびその駆動方法、製造方法に関する。

【従来の技術】

強誘電体材料はヒステリシス特性を有し、この特性を利用してデータを記憶できることが一般に知られている。第50図はこのヒステリシス特性に示す図であり、横軸は電解E<sub>c</sub>、縦軸は分極状態Pを表している。図において、電界が0のときの分極にはAとCの2つの状態があり、それぞれにデジタル信号の“1”と“0”を対応させる。すなわち、Aの状態のときに“1”信号が記憶され、Cの状態のときに“0”信号が記憶される。

いま、この強誘電体に“1”信号が記憶され、分極がAの状態であるとする。このとき、正方向の読み出しパルスE<sub>c</sub>を加えると、分極はAからBに移り再びAに戻るが、この部分は傾斜が緩やかであるので容量値C<sub>c</sub>の変化は小さい。これに対して、強誘電体に“0”信号が記憶され、分極がCの状態にあるときに、正方向の読み出しパルスE<sub>c</sub>を加えると、分極がCからDに移り再びCに戻る。このCからDの部分の傾斜は大きいので容量値C<sub>c</sub>の変化が大きくなる。したがって、この容量値の違いにより、“1”状態の時は出力が小さく、“0”状態のときは出力が大きくなるので、“1”と“0”的状態を判別してデータを読み出すことができる。

ここで、図から判るように、強誘電体の分極状態を“0”から“1”にするためには、E<sub>c</sub>の電圧を有する記録パルスを印加し、“1”から“0”にするためには、-E<sub>c</sub>の電圧を有するパルスを印加すればよい。

そこで、従来、上記のような強誘電体のヒステリシス特性を利用して強誘電体を情報記録媒体として用いた先行技術に特開昭55-126905号、特開昭57-117186号、特開昭59-215096号、特開昭59-215097号等がある。このような強誘電体メモリに対して情報の記録、読み出しを行なう1つの方法として、例えば、上記特開昭59-215096号には第51図に示すように基板72上に透明電極73、75に挟まれた強誘電体薄膜74を積層して構成した強誘電体メモリ71に電圧を印加しつつ光導電体の選択した部分に光ビーム76を照射してその部分を分極させて情報を記録し、読み出時にはこの選択部分に再び光ビームを照射し、分極による光の屈折、干渉、偏向を利用して情報を読み出

すものが示されている。

【発明が解決しようとする課題】

上記従来例は強誘電体メモリの表面上に光ビームを照射してこの光ビームを操作することで、順次情報の記録または読み出しを行うものである。このように強誘電体メモリの表面上に直接光ビームを照射して情報の記録、読み出しを行うものであるが、強誘電体メモリにおいて情報記録位置は特定されておらず記録位置の制御は光ビームの操作位置を機械的に制御することにより行われている。そのため光ビームの位置ずれにより、隣接する記録部に誤って情報を記録読み出しをすることがないように光ビームを操作する位置制御を正確に行なう必要があり、記録密度を向上しようとすればするほど、ますます位置制御に正確さが要求され、そのための機構が複雑になる。

そこで、この発明は強誘電体メモリの情報記録位置を常に特定することが可能で、また、強誘電体メモリの隣接する記録位置からのクロストークを防止してSN比を向上させ、選択した記録位置に対する情報の記録、読み出しを確実かつ高速に行なうことのできる小型で薄型の強誘電体メモリを提供することを目的とする。

【課題を解決するための手段および作用】

上記目的を達成する為に、この発明は以下のような手段を講じたものである。

すなわち、強誘電体薄膜と、この強誘電体薄膜の一方の面に格子状に配列した複数の短冊状の電極からなる第1ストライプ電極と、この第1ストライプ電極と互いに交差するように上記強誘電体薄膜の他方の面に格子状に配列した複数の短冊状の電極から第2ストライプ電極と、上記第1ストライプ電極および上記第2ストライプ電極から所望の電極を選択する切替え手段とを有する強誘電体メモリにおいて、

上記第1及び第2ストライプ電極は、全て抵抗器を通して接地されており、

上記切替え手段は、上記第1ストライプ電極の配列方向に沿ってストライプ電極の端部から離間して設けられて相互に分離した複数の電極部からなる第1共通電極と、上記第1ストライプ電極の選択されたストライプ電極を上記第1共通電極に接続する複数対のスイッチを有するスイッチ手段と、第1増幅器とを備え、

上記第1増幅器は、接地された正の入力端子を有し、上記第1共通電極の一つの電極部に接続される負の入力端子と、フィードバック抵抗器を通して上記第1共通電極の他の電極部に接続されている出力端子と、上記第1共通電極の複数の電極部に接続され選択された上記スイッチとから、フィードバック回路を構成するようにしたものであります。

また、上記切替え手段は、更に、上記第2ストライプ電極の配列方向に沿ってストライプ電極の端部から離間して設けられて相互に分離した複数の電極部からなる第2

共通電極と、上記第2ストライプ電極の選択されたストライプ電極を上記第2共通電極に接続する複数対のスイッチを有するスイッチ手段と、第2増幅器と、駆動回路とを備え、

上記第2増幅器は、上記駆動回路の出力が接続される正の入力端子を有し、上記第2共通電極の一つの電極部に接続される負の入力端子と、上記第2共通電極の他の電極部に接続される出力端子と、上記第2共通電極の複数の電極部に接続され選択された上記スイッチとから、フィードバック回路を構成するようにしたものである。

上記の手段によればデータは第1ストライプ電極と第2ストライプ電極が交差した記録位置(メモリセル)に残留分極として記録されるので、データの記録位置が特定され、また、隣接するメモリセル間でのクロストークを防止することができ、データの記録、読みしが確実かつ高速に行われる。

#### [実施例]

以下、この発明を実施例に基づいて説明する。

第1図はこの発明における一実施例を示す図である。図に示すように、強誘電体メモリ1は絶縁性と機械的強度を保持するための厚さ200μmの基板の表面上に積層された厚さ0.3μmの強誘電体薄膜3から成る。上記基板2の材料としてはガラス、セラミックス、金属、高分子材料、半導体材料等から用途に適して選択され、上記強誘電体薄膜3の材料としてはPZT(ジルコンチタン酸鉛)やBaTiO<sub>3</sub>(チタン酸バリウム)やKNO<sub>3</sub>等の無機材料、またはフッ化ビニリデン系重合体の様な高分子材料が使用される。上記基板2と強誘電体薄膜3の間には格子状に配列した短冊状の複数の電極からなる第1ストライプ電極4が設けられ、強誘電体薄膜3を挟んだ反対側の面には第1ストライプ電極4の配列方向と直交するよう格子状に配列した第2ストライプ電極が設けられている。この第1、第2ストライプ電極4,5はAlまたはTiWまたはMo-Ta等からなり、厚さ0.1μmで、電極の幅および隣接する電極の間隔は共に0.5μmで等間隔に設けられている。そして、上記第1、第2ストライプ電極4,5の端部から離間した基板2上には、共通電極6と7が図に示す様にストライプ電極4,5のそれぞれの配列方向に沿って設けられている。そして、上記共通電極6,7とストライプ電極4,5の端部とを接続し、ストライプ電極中の電極を選択する切替手段として光導電体8,9がそれぞれ、上記共通電極6,7とストライプ電極4,5の上に、跨がって積層されている。この光導電体8,9の材料としては応答時間、抵抗値等の点からアモルファスシリコンや結晶シリコンやPVK(ポリビニルカルバゾール)等が用いられている。

次にこの強誘電体メモリ1の製造法について第2図を使って説明を行う。第2図はこのメモリを製造する手順を示す図である。

#### (強誘電体メモリの製造方法)

基板2の材料は用いる強誘電体に合わせて選択される。即ち、PZT、BaTiO<sub>3</sub>等の無機酸化物からなる強誘電体薄膜を形成するときは、結晶配向制御のための高温焼成過程が必要な場合があり有機高分子材料は基板2の材料として適さず、非結晶シリコン、単結晶シリコン、サファイヤ单結晶等のウェハー他の無機系耐熱素材を基板2として用いることが好ましい。フッ化ビニリデン系共重合体やシアン化ビニリデン系重合体を強誘電体薄膜として用いる場合は塗布成膜及び低温乾燥が可能ため、熱可塑性ポリマー系の材料も基板2として使用することが出来る。

基板2の表面は少なくとも絶縁性でなければならないため、金属系等電気伝導性基板は表面を酸化処理や絶縁性物質、例えば、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>等の薄膜を形成して用いねばならない。

強誘電体メモリ1の製造の手順として例えば第2図に示すように、(a)～(i)のように行なう。なお、第2図(g)～(i)は(f)のA-A'断面図である。

(a) まず基板2表面にAu、Pt、Ag、Al等の金属良導電体もしくは、ITO等の透明性導電体をスパッタ法、真空蒸着法等の周知の方法によって導電膜10を形成する。次に、

(b) 導電膜10表面にレジスト11をスピンドルコート法により塗布成膜し、

(c) 第1のストライプ電極4、共通電極6等のバーニングを施したマスク12を通して紫外線照射、電子線照射等により焼付けを行なう。レジスト11はメモリ構成、パターン形状によりポジ型、ネガ型のうちいずれを使用しても良い。

(d) パターン現象後、マスクをはずし非露光部分のレジストを除去した後、

(e) 第1のストライプ電極4、共通電極6等を形成するに必要な部分以外の導電膜13をエッチング除去し、

(f) 最後にレジスト11を除去して第1のストライプ電極4と共に電極6を形成する。

(g) 光導電体部8は同一平面上に形成された第1のストライプ電極4と、この端部から離間して形成された共通電極6上を跨いで上記(a)～(f)と同様の方法にて積層形成される。この光導電体部8に用いられる光導電性材料としては、主に、結晶性シリコン、非晶質シリコン、Se、CdS、ZnO、等の無機材料、PVK(ポリビニルカルバゾール)或はその誘導体と色素増感剤との併用、PVKとTNF(トリニトロフルオレノン)の組合せ等からなるルイス増感性複合材料、結晶型を制御したメタルフリーフタロシアニン等の有機材料が使用出来、その特性に応じてスパッタ法、真空蒸着法、溶剤塗布法等適宜の手法にて膜形成を出来る。このようにして電極パターンを形成した基板2上に

(h) 強誘電体薄膜3を積層する。強誘電体材料としては前述のようにPZT、PLZT、KNO<sub>3</sub>、BaTiO<sub>3</sub>等の無機

料、目的物性に応じて重合比率を制御したフッ化ビニリデンートリフルオロエチレン共重合体等含フッ素系ポリマーやシアン化ビニリデンーピニルアセテート共重合体等のシアノ基含有ポリマーを主成分とする有機系材料に大別される。前記無機材料を用いた薄膜形成には、プラズマスパッタ法やイオンビームスパッタ法、真空蒸着法等のドライ成膜法が主に用いられる。また、電解法等の湿式成膜や金属アルコキシドを所定の成分比で混合し、基板2上に溶液塗布後、焼成工程を経てその酸化物結晶として薄膜形成するゾルゲル法、スピノン法も適用することが出来る。また高分子系有機材料はその化学構造と組成比に基き、適当な溶媒を選択出来ることにより、スピノンコート法、ディップ法、印刷法等による塗布-乾燥工程で成膜を行える。さらに、(i)強誘電体薄膜3上に第1のストライプ電極4に直交する第2のストライプ電極5を形成する。この方法としては(a)～(f)と同一の手法によっても、また他の周知の手段であっても良い。導電性材料も同様に第1のストライプ電極4と同じもしくは強誘電体薄膜3との関係を考慮した他の材料であっても良い。このとき第2ストライプ電極5とともに第2の共通電極7も形成される。

このようにして前述した強誘電体メモリ1が形成される。

上記強誘電体メモリ1の構造はこれに限定されるものではなく、さらに第1のストライプ電極4～強誘電体薄膜3～第2のストライプ電極5から成るメモリ層14を同様の手順で多層積層することも可能であり、必要に応じて第2のストライプ電極5上に遮光、帯電防止、汚染防止、水分侵入防止等を目的とした保護膜を形成することも出来る。

最後に基板2を所定の大きさに切断し共通電極6,7を接線して、上記の強誘電体メモリ1が製造出来る。

次にこの構成の強誘電体メモリにデータを記録(ライト)及び読み出し(リード)する動作について第3図を使って説明を行う。

まずストライプ電極4と5の幅にはほぼ等しい径の光ビームを光ビーム照射手段15,16により光導電体8と9の上にそれぞれ照射して、その照射部分17と18の抵抗値を下げるにより、直交するストライプ電極4と5の中から各1本ずつを共通電極6と7に選択的に導通させることができる。上記光導電体8,9に光ビーム照射手段15,16から光ビームを照射することによりストライプ電極4,5を選択する切換手段19,20を光マルチブレクサーと呼ぶことにする。そして、この共通電極4と5の間に適切な電圧(第50図で示す±E)をかけることにより、ストライプ電極に交叉している部分の強誘電体薄膜3のデータ記憶部21(以下、メモリセルという)を選択的に分極することができる。共通電極6,7に印加する電圧の極性(+,-)を変えることにより、各メモリセル21に生じる分極の方向を変えて、これをデジタル信号の1と0

に対応させてデータのライトを行なう。

次にリードの方法を以下に述べる。まず、ライトの場合と同様に、光マルチブレクサー19,20により読み出すメモリセル21に該当するストライプ電極4,5に光ビームを照射することによりリードするメモリセル21が選択される。

そして、選択されたメモリセル21に第50図に示した読み出バ尔斯ECを印加し出力を判別することにより記録されたデータをリードすることができる。

また、選択されたメモリセル21をリードする別の方法としてメモリ全体に熱を加えて、焦電効果により発生した焦電電流を検出する方法がある。焦電電流の極性は分極の方法で決まるため、極性を検出することで記録データをリードすることができる。その他のリード方法としては、メモリ全体に圧力をかけて、圧電効果により発生した電圧を検出する方法がある。圧電気の極性は分極の方向で決まるため、これを検出することで記録データをリードすることができる。

上記のようにして構成された強誘電体メモリ1の記憶容量について説明する。強誘電体薄膜3の面積を現在の半導体メモリの16bit(0.5μmルール)のものと同程度(8mm×15mm)として計算すると、上記ストライプ電極4,5は幅0.5μm間隔0.5μmで設けられているので1つの情報を記録できるメモリセル21は上記面積中に $120 \times 10^6$ コ存在できることになる。すなわち、16bitの半導体メモリと同程度の面積で120bitの記憶容量となり、上記単層の強誘電体メモリ1では、従来の半導体メモリの約8倍の記憶容量を達成できる。

以上説明した実施例の強誘電体メモリによれば、切替手段としての光導電体に光ビームを照射して第1,第2のストライプ電極を選択することによりデータの記録、読み出しを行なうをメモリセルを特定することができる。また、情報が記憶される各メモリセルは強誘電体薄膜の上記ストライプ電極の交叉部分に限定され、それそれが独立しているので、隣接するメモリセルにデータが誤って記録されたり、読み出されたりすることなく、該当するメモリセルデータは確実に記録され、また読み出すことができる。

また、平面上に配列されたメモリセルの情報のリード・ライトを光ビームの1次元的な走査で実現できるため、光ビームの走査と情報のリード・ライトのための光学システム、電気システムの機構が簡単になる。

次に、この強誘電体メモリ1を用いた積層型強誘電体メモリの具体的な構成について説明する。

第4図～第6図は、それぞれ積層型強誘電体メモリの実施例を示す説明図である。第4図に示す様に、第1図に示した強誘電体メモリ1を積層することで積層型強誘電体メモリ100を構成する。ただし、図に示す様に光マルチブレクサー19,20の部分は重なり合わないように位置をずらして積層する。つまり光ビーム22と23の走査す

るラインを横にずらすことで、積層方向におけるメモリ層の選択を行う。つまりメモリセル21を3次元に選択することができるようになる。

第5図は、光ビーム照射手段28,29を積層型強誘電体メモリ101の表と裏にそれぞれ設け光ビームを積層型強誘電体メモリ101の表裏の両側から照射するようにしたものである。上記第4図に示した積層型強誘電体メモリ100の構成では光ビーム22, 23は2つとも上部から当たることになるが、第5図のように構成すると、それぞれ表と裏から光を当てることができるために、光ビーム26, 27を照射する光ビーム照射手段28と29がメモリの角でぶつかることがない。ただし、この構成の時の基板2は透明部材もしくは、省略される形となる。

第6図は、他の実施例による積層型強誘電体メモリ102を示す説明図である。この実施例は上記第4, 5図における積層型強誘電体メモリの各層間の基板2を除いた構成になっている。この実施例の特徴は強誘電体薄膜30, 31の間にに入るストライプ電極32は上下の強誘電体薄膜30, 31の電極として共通に使用することができるところである。

なお、上記各実施例に示した積層型強誘電体メモリ100, 101, 102の記録容量は積層する枚数を増やすことで大きくなるが、例えば、10層積層した場合には1.2Gbitとなり、同程度の面積の半導体メモリに比べて約80倍の記録容量となる。この10層積層したときでも積層型強誘電体メモリの厚さは基板が在る場合（メモリ100, 101）で2～3mm、基板が無い場合（メモリ102）1mm程度にすることができるので、充分に薄型を保ったまま記録容量を増大することができる。

次に上記積層型強誘電体メモリを用いてメモリカード103を構成した実施例について説明を行う。第7図は9個の積層型強誘電体メモリ100をメモリカード103内に縦3列、横3列に配列して構成した実施例を示している。複数の積層型強誘電体メモリ100を配列してメモリカードを構成する主な理由は、成膜や電極のエッチング（リソグラフィー）については小面積の方が技術的に製作が容易で本メモリ製造においてかなり有利になるからである。光マルチブレクサー19, 20の部分は、透明部材34で覆われている。その他以外の外枠は強度と帯電防止を考慮された部材で覆われている。データのリード、ライト方式が1bitづつ行なわれるシリアル方式とする場合の各積層型強誘電体メモリ100の共通電極6, 7はAuやAlのボンディングワイヤー35で基板36上のリード電極37上に結線してコネクタ38に接続する。この時のコネクタ38の極数は2極で良いことになる。パラレル方式の場合は第8図に示す様にパラレル転送する各ビットの割当を積層方向に対応させ、第9図に示すようなシリンドリカルレンズ44で光ビーム45をパラレルに各光マルチブレクサー19, 20に当てることでリード、ライトを行うことができる。パラレルのビットごとの共通電極41は第8図に示す

ようにボンディングワイヤーで基板上のパラレルビットに対応したリード電極42上に結線されてコネクタ43に導かれる。この時のコネクタの極数はパラレルビットの数と同じになる。（Fig8では1バイトづつ行なう）

次にこのメモリカードの光マルチブレクサー19, 20を高速に操作するための実施例を第10図と第11図を使って説明する。以下に述べる機構はメモリをリードライトする装置（メモリドライバー）内に設けるものである。メモリカードのリード、ライトは前述したパラレル方式として説明を行う。

ところで第10図は上記積層型強誘電体メモリをリードライトする装置に用いられる発光素子アレイ48を示すものである。この発光素子アレイ48は例えばページプリンタ等の記録ヘッドとして用いられているようなELD（エレクトロ ルミネッセンス デバイス）またはLED（発光ダイオード）などからなる発光エレメント46が $60\mu m$ おきに400個配列されているものである。本実施例ではこの素子の発光部にシリンドリカルなレンチキュラーレンズ47が設けてあり、発光エレメントの配列方向のみ光ビームがフォーカスされているようになっている。そして配列と直角な方向には、ある幅を保って光が照射されるようになっている。第11図に示すように第10図の発光素子アレイ48を積層型強誘電体メモリ100の光マルチブレクサー19, 20に対応した位置に2次元に配列する。そしてX方向に配列された発光素子アレイ群50とY方向に配列された発光素子アレイ群51は、互いに機械的に剛性を持って結合されている。そしてアクチュエータ（図示せず）により発光エレメントの配列ピッチ分だけをそれぞれX方向、Y方向に独立に変位させることができる。

つまり電気的に発光エレメント46を切換えることによりストライプ電極の選択をすることと、アクチュエータで発光素子アレイ群50, 51を動かすことにより積層強誘電体メモリ1を選択するので、メモリカード（第8図）の光マルチブレクサー19, 20を高速に切換操作させることができる。またこの発光素子アレイ群50, 51はフォーカス方向にも駆動できてもよい。また、上記発光素子アレイ48は、発光エレメント46としてELDやLEDのように自ら発光するものを用いているが、液晶プリンタに用いられているような液晶シャッタアレイと光源とを組合せたものでもよい。

次に切替手段としての光マルチブレクサー19, 20の部分を変更した他の実施例を第12～14図によって説明する。

第12図に示すようにストライプ電極52と共通電極53によって光導電体54と補助電極55を挟んで積層する。この時共通電極53は透明電極を使用する。つまり、この共通電極53の上から光ビームを当てるとき電極間距離に対して、光導電体54を挟んで対向する電極面積が大きく取れないので導通時の光導電体54の抵抗値を非常に小さくすることができる。また、補助電極55としてAu, Al等の良導

電体を積層しているので、共通電極53の長手方向のインピーダンスを下げて時定数を小さくし速い書き込み、読み出しをすることができる。

第13図は、切替手段として、第1図に示した光導電体8、9のかわりに光で制御できる半導体スイッチ（例えば光FET）56をIC化して設けた実施例を示している。このように光FET56を用いた実施例においても、上記実施例と同様に光ビームによりリードライトを行なうことができ、同様の効果が得られる。さらに、光FETはON抵抗が小さく、高速に操作ができるという利点がある。

第14図の実施例は切替手段として電気的にコントロールできる半導体スイッチ57とそのコントロール部58を基板59上にIC化して設け、その基板59上にストライプ電極60、61と強誘電体薄膜62を積層したものである。この実施例の強誘電体メモリにおいては、電気的にメモリセル21の選択をすることができるので、上記実施例のように光ビームを機械的に操作する手段が不要となり、高速に操作ができる。このように、上記各実施例の強誘電体メモリにおいては、従来のDRAM、SRAM等の半導体メモリに比較してストライプ電極だけで良いため高密度化が可能であり、強誘電体薄膜の残留分極を利用して記録するので記憶保持のための電力消費のない不揮発性のメモリになる。

次に、上述の強誘電体メモリにおいて、選択されたメモリセルと隣接するメモリセルとの間で生じるクロストークを防止し、SN比を向上させる実施例について説明する。

第15図はクロストークを防止する手段を設けた強誘電体メモリの一実施例を説明するための図、第16図はこの実施例において、選択されたメモリセル21の等価回路を示す回路図である。第16図において、 $C_x$ は選択された第1ストライプ電極4と選択されていない第2ストライプ電極5との各交点（X方向）のメモリセルの合成容量、 $C_y$ は選択されていない第1ストライプ電極と選択された第2ストライプ電極との各交点（Y方向）のメモリセルの合成容量である。なお、選択されていないメモリセルによる合成容量 $C_{xy}$ は、第1第2の両ストライプ電極とともにGNDに接続されているので無視することができる。

第15図に示すように、第1、第2のストライプ電極4,5と第1、第2の共通電極6,7をそれぞれ接続する切替手段8,9が1本のストライプ電極に対して2つずつ並列に設けられたスイッチ8a,8bまたは9a,9bから構成されている。そして、第1ストライプ電極の各電極に接続されている2つのスイッチ8a,8bの内、一方のスイッチ8aは全て第1の共通電極6を介して読み出しありは、記録バルスを発生するドライバ回路81が接続され、他方のスイッチ8bは全てGNDに接続されている。同様に第2ストライプ電極5の各電極に接続されている2つのスイッチ9a,9bの内、一方のスイッチ9aは第2の共通電極7を介して

出力側の増幅器82が接続され、他方のスイッチ9bは、すべてGNDに接続されている。この2つのスイッチ8a,8bまたは9a,9bは、一方のスイッチがONしているときは他方のスイッチがOFFとなるように連動して動作するスイッチがある。このように回路を構成することにより、選択されていないストライプ電極はすべてGNDに短絡されるようにしたものである。このとき、ドライバ回路81の出力インピーダンスを合成容量 $C_y$ によるインピーダンス（ $1/\omega C_y$ ）よりも十分小さくし、また、増幅器82の入力インピーダンスを合成容量 $C_x$ のインピーダンス（ $1/\omega C_x$ ）よりも十分に小さいものとする。これは、第16図に示すA点の電圧をドライバ回路81からの出力電圧に対して低下しないようにして、選択されたメモリセル21に確実に電圧が印加されるようにし、また、選択されたメモリセルを通過した電流の大部分を増幅器82に流入するようにして、確実に選択されたメモリセルのデータを読出すためである。この実施例によれば、図からわかるように、隣接するメモリセルの容量 $C_x, C_y$ はGNDに短絡されているので読み出し電流の大部分は選択されたメモリセルを通って増幅器に流れ込み、 $C_x, C_y$ の影響を受けることなく、すなわちクロストークを生じることなく、正確に選択されたメモリセルに記憶された情報を読み出すことができる。

第17図は、クロストークを防止する他の実施例を示す図であり、第18図はこの実施例において選択されたメモリセルの等価回路を示す図である。第17図に示すように、各ストライプ電極はそれぞれ、切替手段8,9と接続されない方の端部で抵抗Rを介してGNDに接続される。そして、前記実施例と同様に各ストライプ電極4,5と第1,第2の共通電極6,7とをそれぞれ接続する切替手段8,9として、一本のストライプ電極に対してそれぞれ2つのスイッチ8a,8bまたは9a,9bを並列に設けている。この実施例において、2つのスイッチは一方がONのとき他方もONとなり、OFFのときはともにOFFになるように連動して動作する。そして、第1,第2の共通電極6,7も第1および第2ストライプ電極4,5に対してそれぞれ2本ずつ（6a,6bまたは7a,7b）設けられている。第1ストライプ電極4とスイッチ8を介して接続されている第1の共通電極6a,6bの内一方の共通電極6aは増幅器83の出力端子に接続され、他方の共通電極6bは増幅器83の負入力端子に接続されている。この増幅器83の正入力端子には読み出し、書き込みのバルスを発生するドライバ回路81が接続されている。また、第2ストライプ電極5とスイッチ9を介して接続されている第2の共通電極7a,7bの内、一方の共通電極7aは増幅器82の負入力端子に接続され、他方の共通電極7bは抵抗RFを介して増幅器82の出力端子側に接続されている。また、この増幅器82の正入力端子はGNDに接続されている。このように、増幅器82,83はいずれも負帰還回路を構成している。ところで、切替手段にはそれぞれON抵抗が存在するため選択されたメモリセルの

等価回路は第18図に示すようになる。ここで上述したように増幅器82,83はいずれも負帰還回路を構成しており、切替手段のON抵抗 $r_1, r_2, r_3, r_4$ はこの負帰還回路内に含まれている。そのため増幅器83のオープンループゲインを $\alpha_1$ とすると図のA点からドライバ回路81を見たときの増幅器の出力インピーダンスは $r_2/\alpha_1$ となり、 $\alpha_1$ が $r_2$ よりも充分に大きければ出力インピーダンスはほぼ零とみなすことができるので、選択されたメモリセルを読出すときの電圧がクロストークしている合成容量 $C_s$ に影響されず確実に選択されたメモリセルに印加される。また、増幅器82のオープンループゲインを $\alpha_2$ とすると、B点から見た増幅器82の入力インピーダンスは $(r_2 + R_f)/\alpha_2$ となり、 $\alpha_2$ が $(r_2 + R_f)$ よりも充分大きいとすれば、同様に零と見なすことができるので、選択されたメモリセルからの電流はクロストークしている合成容量 $C_s$ 側に流れることなく、大部分が出力側の増幅器82に流れるので確実に情報を読出すことができる。この実施例の回路構成によればスイッチの有しているON抵抗の影響を除去することができるので、上述の実施例よりも確実に情報を読出すことができる。

次に、この実施例で用いている2本の共通電極6a,6bまたは7a,7bとのON,OFFを同時に行うことのできる切替手段の具体的な構成を第19~23図に示す。

第19~21図はいずれも切替手段に光導電体を用いた実施例を示す断面図である。

第19図に基板2上に設けられたストライプ電極4の上に、2本の透明電極からなる共通電極6a,6bを光導電体8a,8bを介して、互いに離間して並列に積層したものである。この例においてストライプ電極4と2本の共通電極6a,6bを同時に導通させるには、2本の共通電極に同時に照射されるような幅の光ビームを照射すればよい。

第20図は基板2上に設けられたストライプ電極4の上に、2本の透明電極からなる共通電極6a,6bを絶縁体84を介して、互いに離間して並列に積層し、この2本の共通電極6a,6bを覆いストライプ電極4と接続されるように光導電体8を積層したものである。この例においても前記の例と同様な光ビームを照射する。

第21図は基板2上に、2本の共通電極6a,6bを光導電体8を挟み、さらに、この共通電極の間にストライプ電極4と接続される透明電極85を挟んで積層したものである。2本の共通電極の内、上側の共通電極6aは透明電極である。この例においては照射する光ビームの幅は、共通電極1本分の幅でよい。

第22図は切替手段に半導体スイッチを利用した実施例を示す図であり、第23図は半導体スイッチの一例としてのCMOSスイッチを示す図である。

第23図で示すように、切替手段として第1,第2ストライプ電極の各電極に半導体スイッチ86を2つずつ並列に設け、この一対の半導体スイッチ86はそれぞれ共通電極6a,6bまたは7a,7bに別々に接続され、各スイッチの切換

ゲートにはコントロール部としてのデコーダ87が接続されている。そして、このデコーダ87から図示されない制御回路からの信号に基いて一对のスイッチ毎に切替信号が切換ゲートに入力されることにより、2つのスイッチは連動して動作する。この半導体スイッチ86の一例としてのCMOSスイッチは、第23図に示したように、 $Tr_1, Tr_2$ の2つのCMOSトランジスタからなるスイッチトランジスタ部88と、このスイッチトランジスタの出力に接続され、スイッチトランジスタの約半分の大きさのCMOSトランジスタ $Tr_3, Tr_4$ からなる、電荷キャンセルトランジスタ部89とからなる。そしてこの半導体スイッチのVin側に第1の共通電極6aまたは6bを接続し、Vout側に第1ストライプ電極4を接続する。そして、 $Tr_1$ と $Tr_4$ のゲート電極および $Tr_2$ と $Tr_3$ のゲート電極がそれぞれ接続されるとともに、これらゲート電極にそれなりに逆相となる信号が入力されるようにデコーダ87が接続されている。また電荷キャンセルトランジスタ部89の $Tr_3, Tr_4$ のソースードレイン間は短絡されており、ゲートとの容量のみが利用される。 $Tr_3$ のゲートには、 $Tr_1$ のゲートとは逆相の信号が加わり、 $Tr_1$ がオフするときのゲート信号の漏れを $Tr_3$ で打ち消すようとする。 $Tr_2$ と $Tr_4$ の関係も同様である。この切替手段によれば光ビームを機械的に操作するための手段が不要になり、高速に動作できる。

ところで、この実施例の回路によれば読出しは確実に行うことができるのであるが、この回路でそのまま書き込みを行うと選択されたメモリセルとともに隣接する他のメモリセルにも書き込みが行われてしまう場合がある。これは、第18図で示した等価回路において $C_s$ より出力側の回路を等価的にGNDとみなすと $C_s$ および $C_s$ には同じ値の電圧が印加されることになるからである。

そこで、読出し時だけでなく、書き込み時においてもクロストークを防止し、読出し、書き込みともに確実に行うことのできる実施例を第24~26図により説明する。

第24図はこの実施例の回路構成を示す図、第25図はこの実施例の回路のリード・ライトパルスの切替タイミングを示すタイムチャート図、第26図はこの実施例においてライト時の選択されたメモリセルの等価回路を示す図である。

この実施例の回路が上記第17図で示した実施例と異なる所は、リードとライトを切替るゲート信号を入力する増幅器90と、ライトデータ信号を受けてライトパルスを発生する比較増幅器91と、ゲート信号によりリード状態とライト状態を切替るスイッチ92a,92b,92c,92dを設けた点と、抵抗Rを介してGNDに接続されていた第1,第2ストライプ電極4,5をそれぞれ抵抗Rを介してインピーダンス変換器93a,93bに接続し、さらに抵抗 $R_1, R_2, R_3$ を介してGNDに接続した点である。

リードパルスを発生するドライバ回路81がスイッチ92aを介して増幅器83に接続されている。またライトデータ信号を受けて $\pm E_s$ (V)の電圧のライトパルスを発生

する比較増幅器91の出力はスイッチ92bを介して増幅器83に接続されるとともに、スイッチ92dおよびアッテネート用の抵抗値の等しい3つの抵抗 $R_1, R_2, R_3$ を介してGNDに接続されている。このアッテネート用の抵抗 $R_1 \sim R_3$ は、さらにスイッチ92cを介してGNDに接続されている。そして、リードとライトを切替るW/Rゲート信号が増幅器90を介してスイッチ92bおよび92dに接続され、また反転増幅器94を介してスイッチ92aおよび92cに接続されている。

この回路において、第25図に示すようなタイミングでW/Rゲート信号、リードパルス、ライトパルスの各信号が発生すると、スイッチ92aまたは92bおよびスイッチ92cまたは92dからの出力も図に示すようになる。すなわちW/Rゲート信号によりリード状態が選択されたときはスイッチ92aおよび92cがONになりスイッチ92b, 92dがOFFになるのでドライバ回路81からの電圧ECのリードパルスがスイッチ92aを介して出力され、ライト状態が選択されたときは、スイッチ92b, 92dがONになり、スイッチ92a, 92cがOFFになるので、増幅器91からの電圧± $E_s$ のライトパルスがスイッチ92bを介して増幅器83に入力されるとともに、図に示すようにスイッチ92dからも出力される。そしてこのスイッチ92dからの出力信号は抵抗 $R_1, R_2, R_3$ に入力され振幅が $2/3, 1/3$ にアッテネートされ、インピーダンス変換器93a, 93bおよび抵抗Rを介して各ストライプ電極にくわえられる。ここで第24図に示しているスイッチ92a～92dの位置はライト状態を示している。

ライト状態の時の選択されたメモリセルの等価回路を第26図に示す。図からわかるように、抵抗 $R_1 \sim R_3$ によってアッテネートされた電圧がインピーダンス変換器93a, 93bおよび抵抗Rを介して各ストライプ電極に印加され、図のA～D点の電圧はそれぞれ、A点が $\pm 2/3E_s$ , B点が $\pm 1/3E_s$ , C点が $\pm E_s$ , D点が0となるため、クロストークのメモリセルの合成容量 $C_x, C_y, C_{xy}$ の両端に加わる電圧はいずれも $\pm 1/3E_s$ となるので、これらのクロストークするメモリセルにすでに記録されているデータに影響を与えることなく、選択されたメモリセルだけに書き込みを行なうことができる。

また、このときに出力側の増幅器82の帰還抵抗RFをバイパスするスイッチ95を設け、このスイッチをONすることにより、帰還率を挙げ、増幅器側の入力インピーダンスを下げることにより、D点の電圧を0Vにより近づけて、 $C_y$ により大きな電圧を印加することができるので、より良好な書き込みを行うことができる。

第27図、第28図は、出力側の増幅器の入力インピーダンスを小さくおさえることのできる具体的な回路を示す図である。

第27図において、96は入力インピーダンスが $r_i/\alpha_2$ となる帰還型のベース接地増幅器で、97a, 97bは、電流源を示しており、97a, 97bにそれぞれ等しい電流が流れようになっている。

第28図は第27図の電流源97a, 97bの具体的な回路を示す図であり、97b内の3つのトランジスタe, f, gはカレントミラーの関係にあり、電流源hからトランジスタeを流れる電流と等しい電流がトランジスタf, gに流れる。また、97a内の2つのトランジスタmとnもカレントミラーの関係にあり、この2つのトランジスタm, nにも上記電流と等しい電流が流れ、つまりトランジスタgとnに流れる電流は等しくなる。

このように、出力側の増幅器82を第27図または第28図に示すような構成とすることにより入力インピーダンスを小さくおさえられ、効率の良い安定した増幅を行なうことができる。

ところで、切替手段に第14図に示したような半導体スイッチ57を用いる場合には、通常の半導体作製のプロセスにより、上述のような半導体スイッチを作製すると、このスイッチ1ヶ当りの面積は数 $10\mu m^2$ となり、半導体スイッチの大きさに合わせて、ストライプ電極の幅、ピッチを大きくすると、単位面積当りの記録容量が低下することになり、好ましくない。(上述のようにクロストークを防止するために1本のストライプ電極に対して2つずつスイッチを設ける場合は、さらに面積が大きくなる。)

また、半導体スイッチを並列に基板上に設けると、メモリ部の面積に対して、切替手段が大きくなり、メモリチップ容積が大きくなる。

そこで、切替手段に半導体スイッチを用いた強誘電体メモリ1を実施例に基いて説明する。第29図はこの実施例における強誘電体メモリを示す分解斜視図、第30図はドライブセル層の一例を示す平面図である。

なお、図では説明を簡単にするためドライブセルを5行5列の25個ずつとした625bitのメモリとしている。

この実施例は第30図に示すように、1本のストライプ電極に端子部により接続され、ストライプ電極60(61)と共に電極6(7)とのON・OFFの切替を行なう半導体スイッチ57を、ドライブセル120内に設け、このドライブセル120を同一平面上に、縦横のマトリクス上に(図では5行5列)に配設してドライブセル層121を形成する。そして、第29図に示すように、第1ストライプ電極4および第2ストライプ電極5とそれぞれ接続される2つのドライブセル層121a, 121bを基板2上に、ドライブセル層121a, 第1ストライプ電極4, 強誘電体薄膜3, 第2ストライプ電極5, ドライブセル層121bの順に積層したものである。(実際には各ストライプ電極間およびドライブセルとストライプ電極の間は絶縁層122が設けられているので、断面図は第31図のようになる。)

次に、この実施例では、各ドライブセルの形状を同じものとし、ドライブセル120とストライプ電極との接点部120aが全てのドライブセルで同じ位置になるように(図では左上の角部)しているため、1行ごとにドライブセルを、ストライプ電極のピッチ分ずらして配設す

る。これにより、ドライブセルの最密配置によるメモリセル数の増加（高密度化）、半導体作製時のマスクバターン設計簡略化等、プロセス効率の向上等の効果が得られる。

なお、ドライブセル120を第32図で示すように端子部とスイッチ分で構成し、ストライプ電極との接点部120aを端子部上ですらして行なうようにしてもよい。

この実施例の構成の強誘電体メモリの具体的な製造方法を以下に説明する。第33図（a）～（j）は、このドライブセル層を用いた強誘電体メモリの製造工程の一例を説明するための図である。

（a）まず、Si基板130上に周知の半導体プロセスを使って第1のドライブセル層121aとしてのMOSFETを作る。図からわかるようにSi基板130上に、イオンを打込み、ソース拡散層131とドレイン拡散層132が形成され、この上に絶縁膜133に挟まれて、ソース電極134とドレイン電極135を介してゲート酸化膜136に覆われたゲート電極137が形成されている。ソース電極134およびドレイン電極135はそれぞれソース拡散層131およびドレイン拡散層132に接続されている。また、ゲート電極137はゲート酸化膜136を介してソース拡散層131とドレイン拡散層132に跨るようにSi基板130上に積層されている。ここでソース電極134及びドレイン電極135は後の熱工程に絶えるような材料、例えばMo, W, Ti等の高融点金属またはこれら金属のシリサイド（MoSi<sub>2</sub>, WSi<sub>2</sub>, TiSi<sub>2</sub>）を用いている。ゲート電極137はポリシリコンまたは上記シリサイドから形成されている。

（b）このMOSFET121aの表面を0.5～5 μmの絶縁膜138で覆うように形成する。この絶縁膜138には常圧CVD（AP·CVD）、減圧CVD（LP·CVD）、またはプラズマCVD（P·CVD）で形成した、SiO<sub>2</sub>またはPSG（リン珪酸ガラス）膜を用いる。この絶縁膜138の上にレジスト139を塗布（コーティング）した後、バックスパッタまたはRIEエッチバックによりレジスト139と絶縁膜138の表面の一部を除去することにより、表面を平坦化する。

（c）平坦化された絶縁膜138の上面に形成される第1のストライプ電極4と電気的に接続されソース電極134との接点部121aとなる部分の絶縁膜138に周知のフォトエッティング技術によりコンタクトホール140を形成する。

（d）このホール140に金属等の導電体を充填しコンタクト141を形成する。金属等を充填するには、例えばW（タンクステン）の選択CVD技術を用いる。

（e）絶縁膜138の上面に電極用金属を0.1～1.0 μmの厚さで積層し、フォトエッティングによってストライプ状に形成して第1ストライプ電極4を形成する。上記電極用金属としては、上記高融点金属またはこれら金属のシリサイドを用いる。リン等の不純物を高濃度にドープしたドープト・ポリシリコンを用いることもできる。第1ストライプ電極4内の一本の電極とMOSFET121aのソ

10

ス電極134がコンタクト141を介して接続されている。

（f）上記工程で第1ストライプ電極4が形成された素子の表面に（b）の工程と同様にSiO<sub>2</sub>またはPSG等からなる絶縁膜142およびレジスト143を積層した後、

（g）バックスパッタまたはRIEエッチバックによりレジスト143および絶縁膜142を第1ストライプ電極4の上面まで平滑エッティングして平面を平坦化する。

（h）この平坦化した表面にPZT等からなる強誘電体薄膜3を所望の厚さに積層する。この強誘電体薄膜3の成膜方法としてはイオンビームスパッタ法、RFマグネットロニスパッタ法、電子ビーム蒸着法、クラスタイオノンビーム法、MOCVD法等が利用できる。なかでも、PZT, PLZT等の多元素系酸化物薄膜を形成するためには、薄膜の組成を制御する上でマルチイオンビームスパッタ法が好ましい。この後、強誘電体薄膜3を結晶化するために600°C以上の温度で熱処理を行なってもよい。

（i）強誘電体薄膜3の上面に電極用導電体を0.1～1.0 μmの厚さに積層し、フォトエッティングによりストライプ状の第2ストライプ電極5を上記第1ストライプ電極と交差する向きに形成する。電極用導電体としては工程（e）で説明したものと同様の材料を用いる。

（j）第2ストライプ電極5を覆うように0.5～5 μmの厚さで絶縁膜143を積層し工程（b）、（f）と同様にしてこの絶縁膜143を平坦化する。その後、上記（c）、（d）の工程と同様な方法で絶縁膜143にコンタクト144を形成する。

（k）この絶縁膜143の上面に0.1～1.0 μmの厚さのポリシリコンまたはアモルファスシリコンからなるシリコン膜をLP·CVD法、P·CVD法、電子ビーム蒸着法、スパッタ法等により積層し、その後熱処理を施し結晶化シリコン膜とする。上記シリコン膜を結晶化する方法としては、600°C付近の温度で熱アーニールするか、または、電子ビームあるいは紫外線レーザビームを短時間（1nsec以下）照射し、シリコン溶融点付近まで昇温する。シリコン結晶化の後、第2のドライブセル層121bとしてのプレーナー型TFT（Thin Film Transistor）を形成する領域以外のシリコン膜をフォトエッティングにより除去し、TFTのしきい値（VT）制御用チャンネルドープ（低濃度イオン注入）を行なう。さらに、TFTのソース電極、ドレイン電極が接続される領域にAsまたはPの不純物を高濃度にイオン注入し、n<sup>+</sup>拡散層145a, 145bを形成する。この際、注入した不純物を活性化するために600°C以上の熱アーニールをおこなうが、この熱アーニールで強誘電体薄膜3の結晶化アーニールを兼ねることができる。

（l）Al, AlSi, AlSiCu等からなる導電膜をスパッタ法、電子ビーム蒸着法等により厚さ0.1～1 μmでシリコン膜145および絶縁膜143の表面に積層し、フォトエッティングにより不要部を除去してソース電極146およびドレイン電極147を形成する。このソース電極146およびドレン電極147はそれぞれn<sup>+</sup>拡散層145a, 145bに接続され、ま

30

40

50

たソース電極146はコンタクト144を介して第2ストライプ電極5と接続されている。

(m) TFTのゲート用絶縁膜をCVD法により積層し、フォトエッチングにより不要部を除去してゲート絶縁膜148を形成する。この絶縁膜148の材料としては、 $\text{Si}_x\text{N}_y$ ,  $\text{SiO}_2$ ,  $\text{Ta}_2\text{O}_5$ 等が利用できる。

(n) このゲート絶縁膜148の表面上にAl, AlSi, AlSiCu等からなる導電膜をスパッタ法、電子ビーム蒸着法等により厚さ0.1~1 μmで積層させ、フォトエッチングにより不要部を除去しゲート電極149を形成することによりTFTが完成する。なお、ゲート電極149, ソース電極146およびドレイン電極147をAlまたはAl合金として説明したが工程(a)で示した材料でもよいことは勿論である。

(o) 必要に応じてTFTの表面を $\text{Si}_x\text{N}_y$ , PSG等のバシベーション膜150で被覆する。

以上の工程によりドライブセル層を用いた強誘電体メモリが完成する。

なお、第33図で説明した強誘電体メモリの製法ではSi基板上にドライブセル層、第1ストライプ電極、強誘電体薄膜、第2ストライプ電極、ドライブセル層を順次積層しているが、強誘電体薄膜の結晶性を高めるために、まず、Si単結晶等からなる基板上に強誘電体薄膜を形成し、この薄膜の片面に一方のストライプ電極およびドライブセル層および支持体を形成し、単結晶基板を除去したのち、反対側のストライプ電極、ドライブセル層を形成するようにしてもよい。さらに、強誘電体薄膜を積層する前に強誘電体薄膜と結晶対象性および格子定数の近い材料、例えば、Mg等の薄膜を一層または多層積層するようにしてもよい。このようにすることにより強誘電体薄膜の結晶性、配向性を向上することができる。

また、この実施例では、第1, 第2ストライプ電極4, 5に対してそれぞれドライブセル層121a, 121bを設けたが、第34図または第35図に示すように第1ストライプ電極用のドライブセル122と第2ストライプ電極用のドライブセル123を交互に配設してドライブセル層121を1層で形成してもよい。このようにすると、単位面積当りのメモリセルの密度、すなわち記録容量は小さくなるが、ドライブセル層121の形成が1回ですむので製造工程が短縮される。

また、基板にSiを用いたので、第1のドライブセル層121aをMOSFETとしたが、基板にガラス等の材料を用いたときは、第1のドライブセル層121aを第2のドライブセル層121bと同様にTFTとしてもよい。また、上記実施例ではブレーナー型TFTとして製造工程を説明したが、第36図(a)~(c)に示したような他の型のTFTを用いてもよい。第36図(a)は逆ブレーナー型、(b)はスタガータイプ、(c)は逆スタガータイプをそれぞれ表しており、第33図に示したブレーナー型TFTと同一の部材には同一の符号を付している。

次にドライブセル層の具体的な実施例について説明する。

第37図は半導体スイッチをMOSトランジスタとしたときのドライブセル層の一部の結線図である。

図からわかるように、マトリクス状に配設された各トランジスタのドレイン電極Dは縦方向に共通の端子Vdi ( $i = 1, 2, \dots$ ) に接続され、ゲート電極Gも同じように横方向に共通の端子Vgi ( $i = 1, 2, \dots$ ) に接続されている。また、ソース電極Sの端子は各ドライブセルごとに独立して設けられている。そして、ドレイン電極の端子Vdi、ゲート電極の端子Vgi、ソース電極は、第14図に示した、共通電極6、コントロール部58、ストライプ電極60にそれぞれ接続されている。第38図は上述のようにして製造された強誘電体メモリのドライブセル層の一部を表す平面図である。図に示すように縦方向に延在されたドレイン電極124と、横方向に延在されたゲート電極125が互いに直交するように列状に設けられてマトリクスを形成し、ドレイン電極124とゲート電極125に囲まれた中にソース電極126が配設されている。第38図において破線で囲まれた部分が1つのドライブセル120を示し、この実施例では1個分のスイッチで1つのドライブセルを構成している。また、第39図に示したように、ドライブセルをずらさずにソース電極上で接点部120aをずらして、ストライプ電極と接続できるように、ソース電極126を逆コの字状に形成して面積を広くしている。これに對して、第40図はドライブセル120をストライプ電極のピッチ分ずらしたときのストライプ電極4との配置を示す図である。このようにドライブセルをずらしてストライプ電極と接続するときはソース電極の面積を特別大きくする必要はなく、図に示すように単なる長方形である。

次に、半導体スイッチを第23図で示したCMOSトランジスタとした場合の実施例を説明する。第41図は1個のCMOSトランジスタを示す平面図である。 $\text{Tr}_1 \sim \text{Tr}_4$ の4つのCMOSトランジスタを同一基板上に作り込むために第23図に示した配置とは $\text{Tr}_1$ と $\text{Tr}_2$ を逆に配置している。 $\text{Tr}_1, \text{Tr}_2$ のソース拡散層160, 161に挟まれて、 $\text{Tr}_1, \text{Tr}_3$ の共通ドレイン拡散層162が設けられ、この各拡散層に対向するように、 $\text{Tr}_1, \text{Tr}_4$ の共通ドレイン拡散層163, 164および $\text{Tr}_2, \text{Tr}_3$ の共通ドレイン拡散層165が対称的に設けられている。そして、 $\text{Tr}_1$ ソース拡散層160と $\text{Tr}_1, \text{Tr}_2$ の共通ドレイン拡散層に跨がって $\text{Tr}_1$ のゲート電極が166が積層されている。同様にして、 $\text{Tr}_2, \text{Tr}_3, \text{Tr}_4$ のゲート電極167, 168, 169がそれぞれのソース拡散層とドレイン拡散層に跨がって積層されている。ここで、 $\text{Tr}_2$ と $\text{Tr}_3$ のゲート電極は接続され、1本の電極で構成されている。また、 $\text{Tr}_1$ ソース拡散層160と $\text{Tr}_2$ ソース拡散層163がT字状のVin電極170により接続されており、また、 $\text{Tr}_3, \text{Tr}_4$ のソース拡散層161, 164と共にドレイン拡散層162, 165はH字状のVo ut電極171によりそれぞれ接続されている。上記Vin電極

170.  $V_{out}$ 電極171がそれぞれ第14図に示した共通電極6(7)ストライプ電極4(5)に接続される。 $Tr_1, Tr_2$ のゲート電極166, 169と1本になっている $Tr_3, Tr_4$ のゲート電極167, 168は、互いに逆相の信号が入力されるようにそれぞれコントロール部58に接続されている。第42図(a), (b)はそれぞれ第41図のA-A'断面図、および、B-B'断面図である。この断面図に示すように $Tr_1, Tr_2$ 側ではn型の基板172にPウェル拡散層173を設け、その中にn<sup>+</sup>のソース、ドレイン拡散層163, 164, 165を設けており、 $Tr_3, Tr_4$ 側は同じn型基板172上にp<sup>+</sup>のソース、ドレイン拡散層160, 161, 162を設けている。第43図はドライブセルを1行毎にずらしたときの結線図を示す。図から明らかなように $V_{in}$ 電極170は縦方向に共通の端子 $V_i$ ( $i = 1, 2, \dots$ )に接続され、 $Tr_1, Tr_4$ のゲート電極は横方向に複数の端子 $G_1, G_{i+1}$ ( $i = 1, 2, \dots$ )に接続され、 $Tr_2, Tr_3$ の共通ゲート電極も同じく横方向に共通の端子 $G_i$ ( $i = 1, 2, \dots$ )に接続されている。また、 $V_{out}$ 電極は各ドライブセル毎に独立している。そして、端子 $V_1$ は共通電極6に接続され、端子 $G_1, G_{i+1}, G_i$ はそれぞれコントロール部58に接続されている。

この実施例の回路で、例えば、破線で示したドライブセル120を選択するには、ゲート電極の端子 $G_1, G_{i+1}, G_i$ に互いに逆相の信号を印加すると同時に、選択回路(図示せず)により選択した端子 $V_i$ に信号を印加する。

なお、上記の例ではいずれもゲート電極およびドレン電極が複数のスイッチで共通となっているので、ゲートパルスを加えてスイッチのON・OFFを切換えるだけでなく、リードパルス、ライトパルスを加えるドレン電極を選択するように、共通電極とドレン電極の端子 $V_d$ との間にドレン電極を選択するための回路(図示せず)が設けられている。

上記ドライブセル層を用いた実施例では、いずれも強誘電体薄膜を1層とした例で示したが、これを積層した積層型のメモリとしてもよいことはもちろんである。このとき、ドライブセル層を用いた積層型の強誘電体メモリとするには、上述の第33図で示した製造工程(o)で設けたバシベーション膜150を平坦化し、工程(c)～(o)をくりかえすことで容易に達成できる。第44図は、このようにして作製された積層型強誘電体メモリの一例を示す断面図である。図において、積層された2つの強誘電体薄膜3a, 3bの間に設けるドライブセル層121は共通に利用するように1層のみ設けているが、別々に設けてもよいことは勿論である。

また、上述の第33図で示した製造方法では、基板上にドライブセル層、ストライプ電極、強誘電体薄膜、ストライプ電極、ドライブセル層の順に順次積層した構成としているが、工程(g)の状態の素子と工程(h)の状態の素子、すなわち、第45, 46図に示すように、基板2上にドライブセル層121bと、ストライプ電極5を設けた素子190と、基板2上にドライブセル層121aと、ストラ

イブ電極4および強誘電体薄膜3を設けた素子191の2種類の素子を別途に製造し、この2種類の素子をストライプ電極が互いに直交するよう重ね合わせて接合した単層のメモリ構成としてもよい。これにより、このメモリの製造プロセスを簡略化して、量産性を向上することができる。

なお、この発明は上記実施例に限定されるものではなく種々の変形、変更が可能である。

例えば、上記実施例ではいずれも強誘電体薄膜を挟んで第1、第2ストライプ電極を積層しているので、分極方向は積層方向と同じ方向(図の縦方向)となっているが、分極方向を積層方向に対して直交する方向(図の横方向)としてもよい。第47図(a), (b)は、このような分極方向を横方向とした実施例を説明するための図である。第47図(a)は基板2上に形成した強誘電体薄膜3にエッチング等で規則的に複数の孔を設け、この孔の中に第1, 第2ストライプ電極4, 5を交互に埋設することによりストライプ電極4, 5で強誘電体薄膜3を挟むようにして、図の矢印方向に分極させたものである。このように構成すると、ストライプ電極上に強誘電体薄膜を設けるのではなく、基板上に直接強誘電体薄膜を形成できるので、基板に上述したような結晶性、格子定数の近い単結晶基板を用いることにより、結晶性および配向性に優れ、分極性能が高い強誘電体薄膜が得られる。第47図(b)は第1ストライプ電極4および第2ストライプ電極5を絶縁層を介して互いに直交するように、基板2上に形成された強誘電体薄膜3の一方の面に積層し、この第1ストライプ電極4および第2ストライプ電極5との間の強誘電体薄膜3を矢印の方向に分極させるようにしたものである。この実施例においても上述の実施例と同様に基板上に直接強誘電体薄膜を形成するので、より完全な結晶性を有する薄膜が得られるとともに、成膜した強誘電体薄膜に対してエッチング等の加工を施す必要がないため薄膜の結晶性を乱すことなく、高品質のメモリ膜を得ることができる。

さらに、上記実施例においてはいずれも、強誘電体薄膜3および第1, 2ストライプ電極4, 5を同一平面として積層しているが、第48図に示すように、第1ストライプ電極4および強誘電体薄膜3を凹状に形成し、この凹部内に挿入されるように第2ストライプ電極5を凸状にしてよい。このようにすると、1つのメモリセルの対向する電極間面積が大きくなり、静電容量が増えて、信号のSN比が向上し、読み取りが容易になる。

また、第49図に示すように、第1, 2のストライプ電極4, 5に対してそれ複数の共通電極6, 7及び切替手段8, 9を設けてもよい。図では共通電極6, 7及び着替手段8, 9をそれぞれ3列ずつ平行して設け、ストライプ電極4, 5を3本おきに接続するようにしている。この時、接続しないストライプ電極4, 5と、共通電極の間には、絶縁層6が設けられている。このように共通電極6, 7及び切替手

段8,9を複数設けることにより、単層の強誘電体メモリにおいてもパラレルにデータをリードライトすることができる。

#### [発明の効果]

以上実施例に基づいて説明したように、この発明によれば、強誘電体メモリの情報記録位置を常に特定することができ、さらに、強誘電体メモリの隣接する記録位置からのクロストークを防止してSN比を向上させ、選択した記録位置に対する情報の記録、読み出しを確実かつ高速に行うことのできる強誘電体メモリを提供することができる。

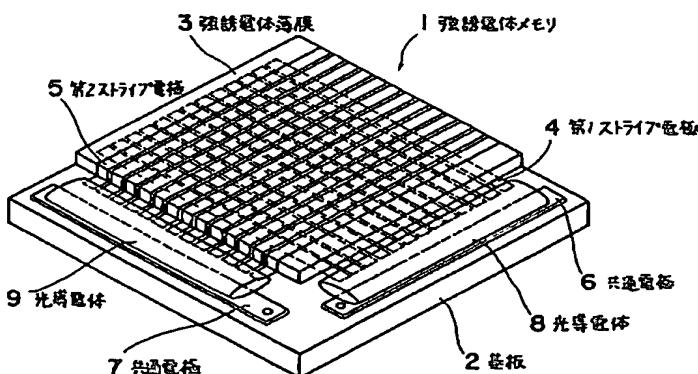
#### [図面の簡単な説明]

第1図はこの発明の一実施例を説明するための説明図、第2図(a)～(i)はこの実施例の強誘電体メモリの製造過程を示す図、第3図はこの実施例の強誘電体メモリデータをリードライトする動作を説明するための説明図、第4図～第6図はそれぞれ積層型強誘電体メモリの実施例を示す図、第7図は積層型強誘電体メモリを用いたメモリカードを示す図、第8図はデータのリードライトをパラレルで行なうときの配線状態を説明するための説明図、第9図はデータのリードライトをパラレルで行なうときの光ビームの照射状態を示す図、第10図は強誘電体メモリのリードライトに使用される発光素子アレイを示す図、第11図は第10図の発光素子アレイを用いたリードライト装置を説明するための説明図、第12図～第14図は強誘電体メモリの他の実施例を説明するための説明図、第15図～28図はこの発明の強誘電体メモリにおいてクロストークを防止する手段を講じた実施例を説明するための図であり、第15図はこのクロストークを防止する手段を設けた強誘電体メモリの一実施例を説明するための図、第16図はこの実施例における等価回路を示す図、第17図はクロストークを防止する他の実施例を示す図、第18図はこの実施例の等価回路を示す図、第19図～23図は上記実施例に用いられる切換手段の具体的な構成を示す図、第24図～26図は書き込み時のクロストークを防止す\*

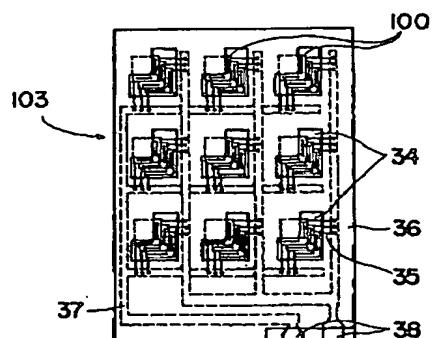
\*る実施例を説明するための図、第27,28図は上記実施例に用いられる出力側増幅器の具体的な回路を示す図、第29図～第46図はドライブセル層を用いた実施例を説明するための図であり、第29図はドライブセル層を用いた強誘電体メモリの一実施例を示す分解斜視図、第30図はドライブセル層の一例を示す図、第31図はこのメモリの部分断面図、第32図はドライブセル層の他の例を示す図、第33図(a)～(o)はこのドライブセル層を用いた強誘電体メモリの製造工程の一例を説明するための図、第34,35図は2つのストライプ電極用のドライブセル層を示す図、第36図(a)～(c)はそれぞれ逆ブレーナー型TFT,スタガー型TFT,逆スタガー型TFTを示す図、第37～40図は半導体スイッチをMOSトランジスタとしたときのドライブセル層を説明するための図、第41～43図は半導体スイッチを第23図で示したCMOSトランジスタとしたときのドライブセル層を説明するための図、第44図はドライブセル層を用いた積層型の強誘電体メモリを示す図、第45,46図はドライブセル層を用いた強誘電体メモリの他の製法を示す説明するための図、第47図(a), (b)は分極方向を積層方向に対して直交する方向とした実施例を説明するための図、第48図は1つのメモリセルの対向する電極面積を増加させる実施例を説明する図、第49図は第1図に示した強誘電体メモリの共通電極を複数枚とした他の実施例を示す図、第50図は強誘電体材料のヒステリシス特性を示す図、第51図は従来の強誘電体メモリを示す図である。

- 1 ……強誘電体メモリ、2 ……基板
- 3 ……強誘電体薄膜、4 ……第1ストライプ電極
- 5 ……第2ストライプ電極、6,7 ……共通電極
- 8,9 ……切替手段（光導電体、半導体スイッチ）、21…  
…メモリセル
- 15,16,28,29 ……光ビーム照射手段
- 100,101,102 ……積層型強誘電体メモリ
- 103 ……メモリカード
- 120 ……ドライブセル、121 ……ドライブセル層

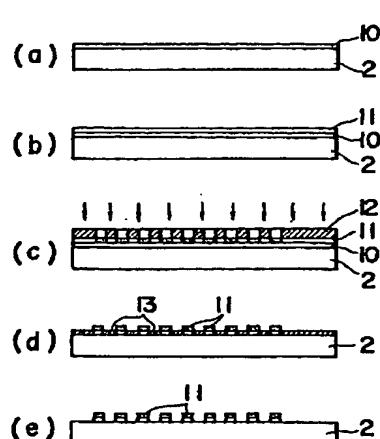
【第1図】



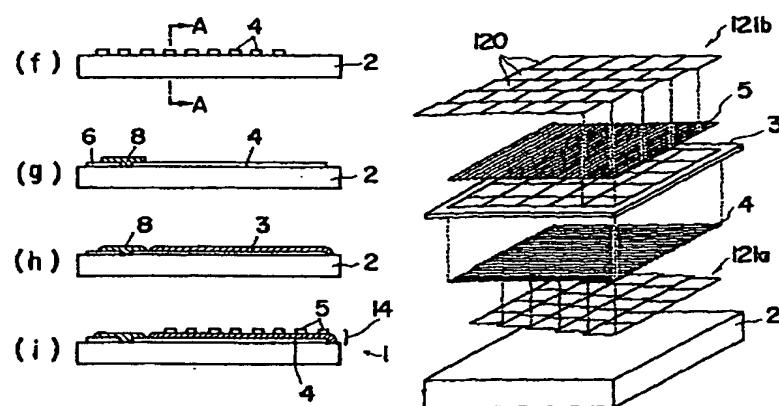
【第7図】



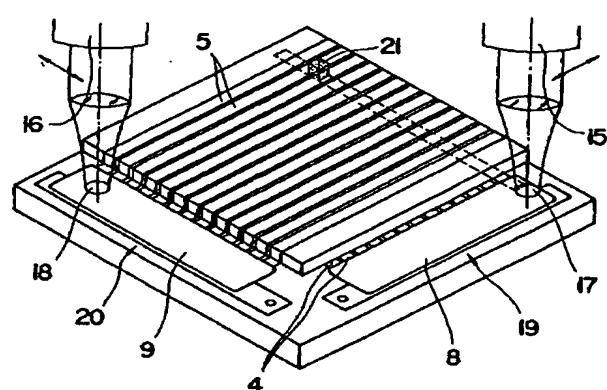
【第2図】



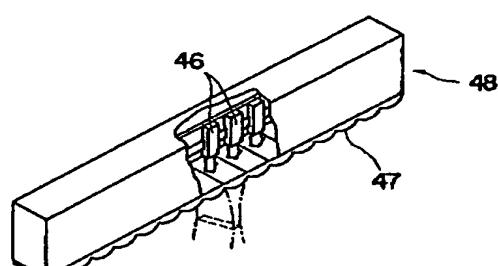
【第29図】



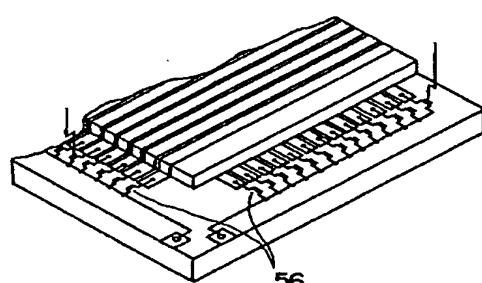
【第3図】



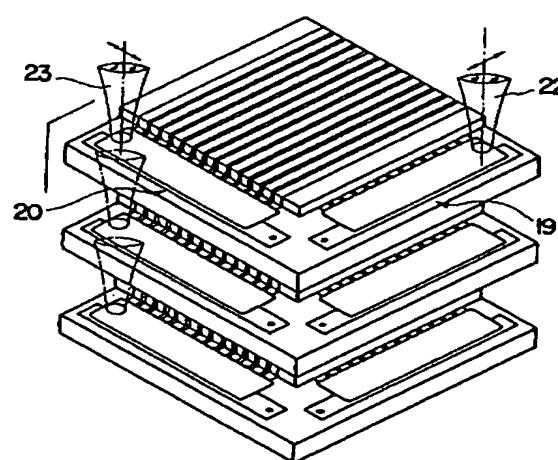
【第10図】



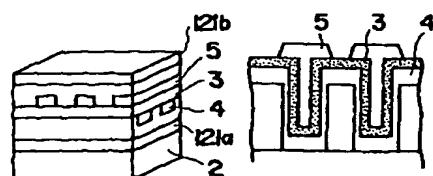
【第13図】



【第4図】

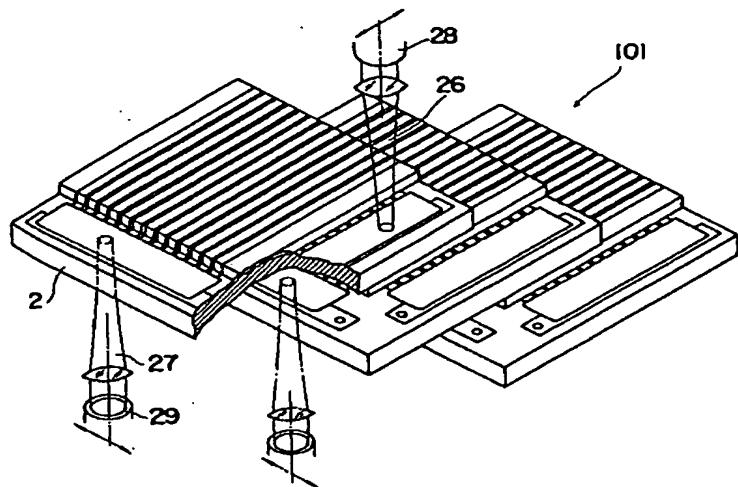


【第31図】

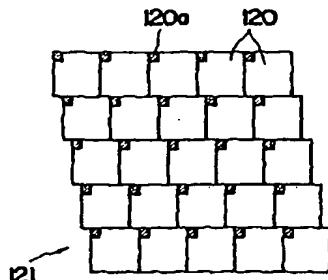


【第48図】

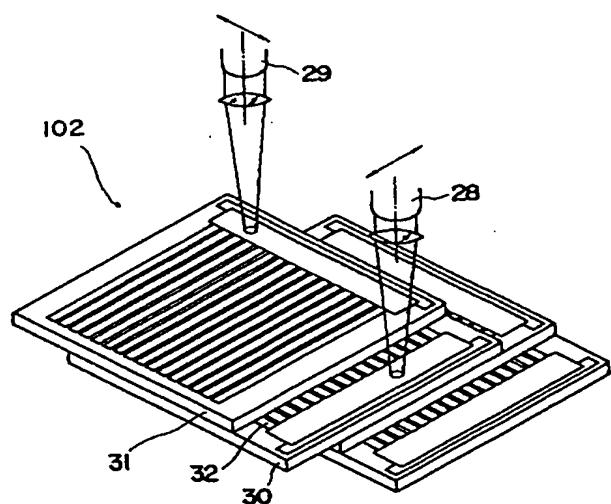
【第5図】



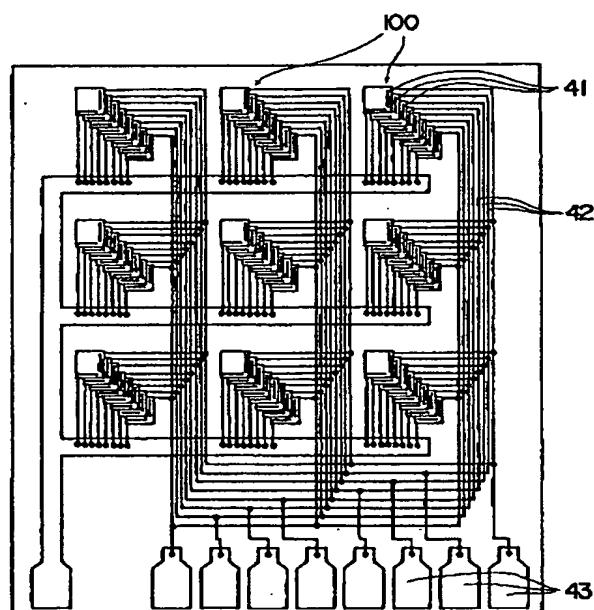
【第30図】



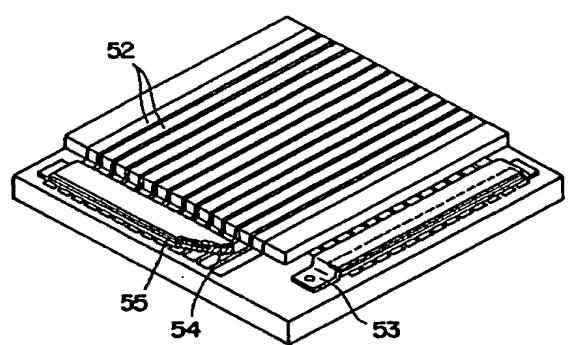
【第6図】



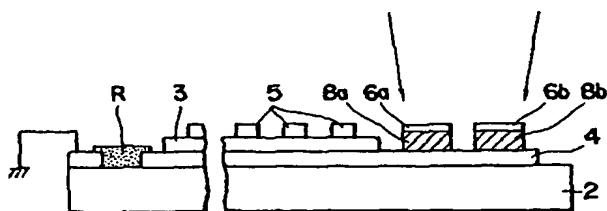
【第8図】



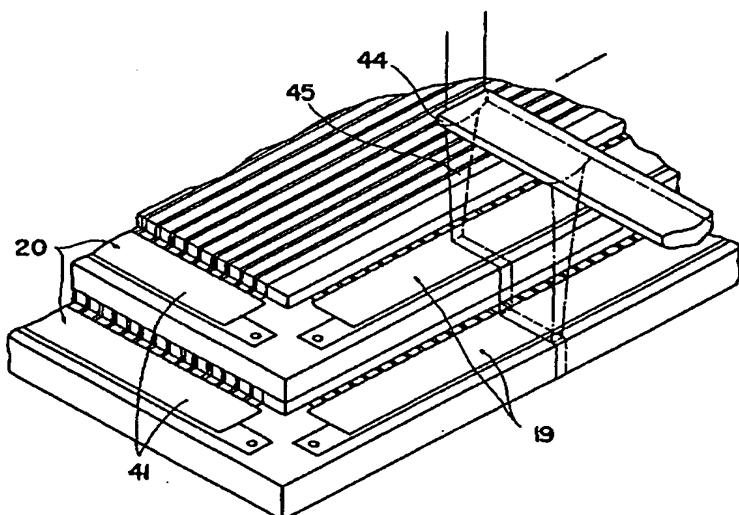
【第12図】



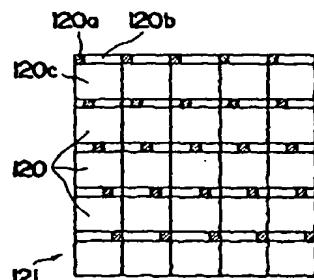
【第19図】



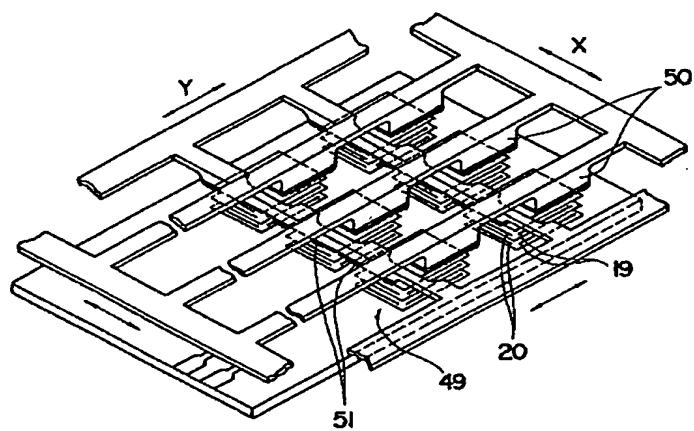
【第9図】



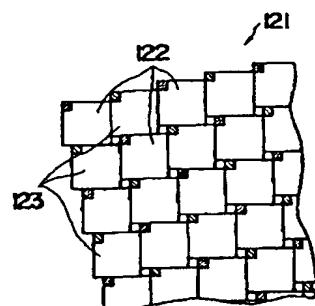
【第32図】



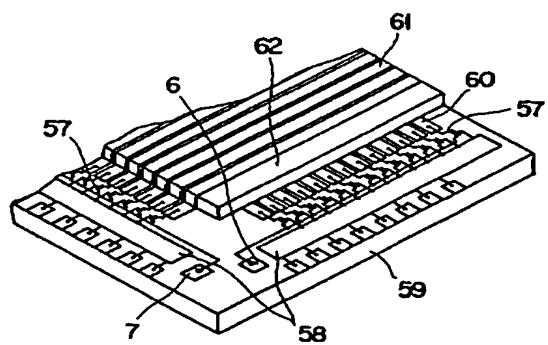
【第11図】



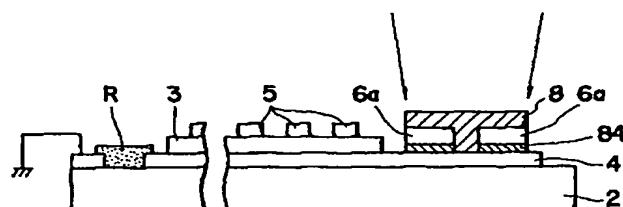
【第34図】



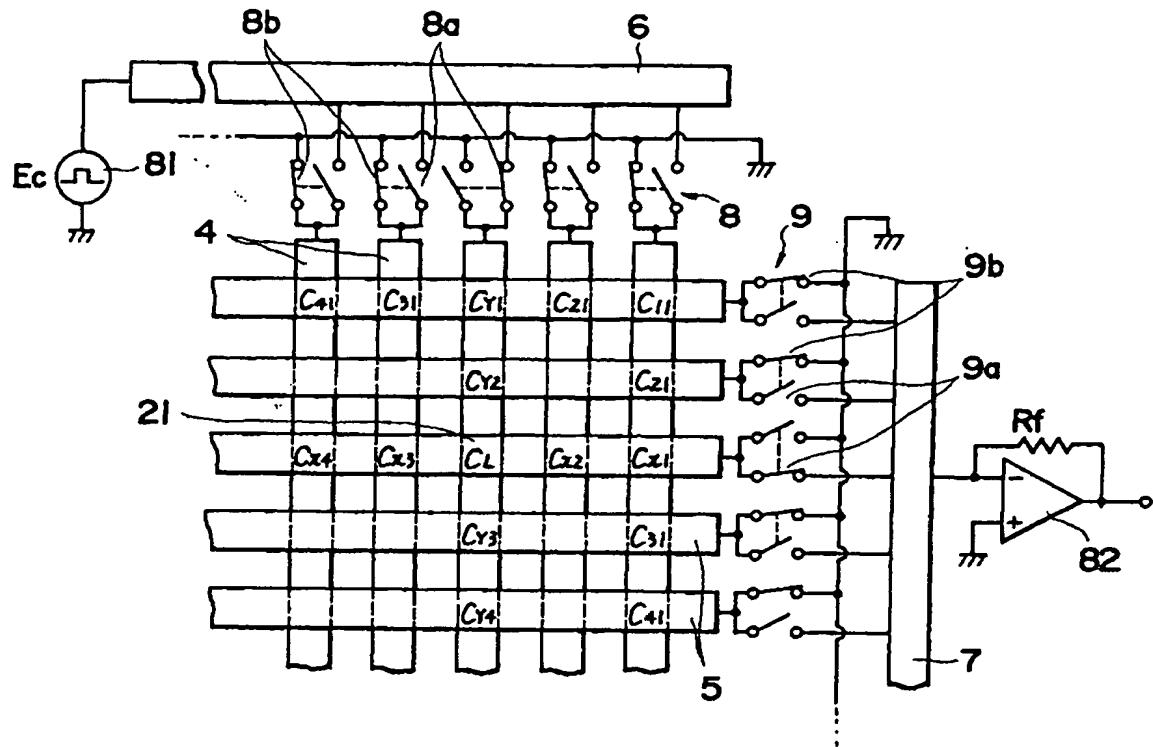
【第14図】



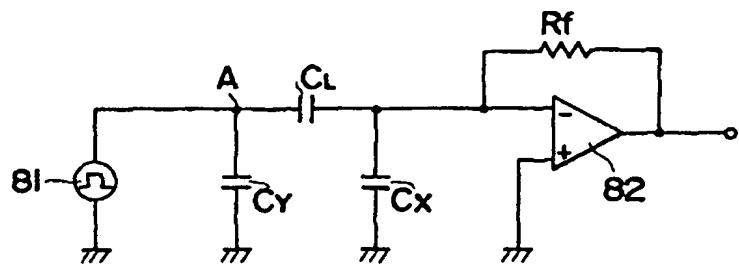
【第20図】



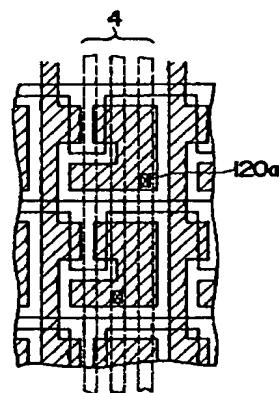
【第15図】



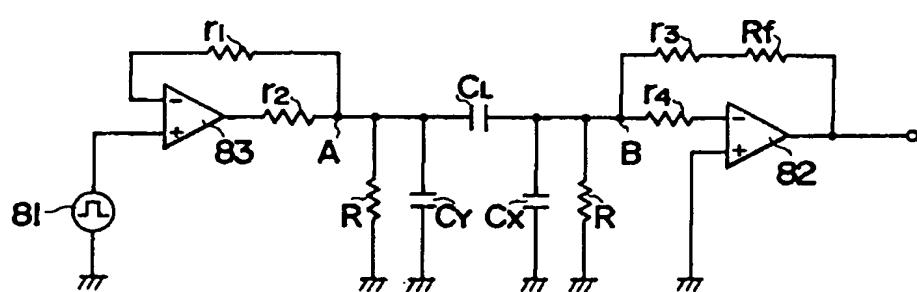
【第16図】



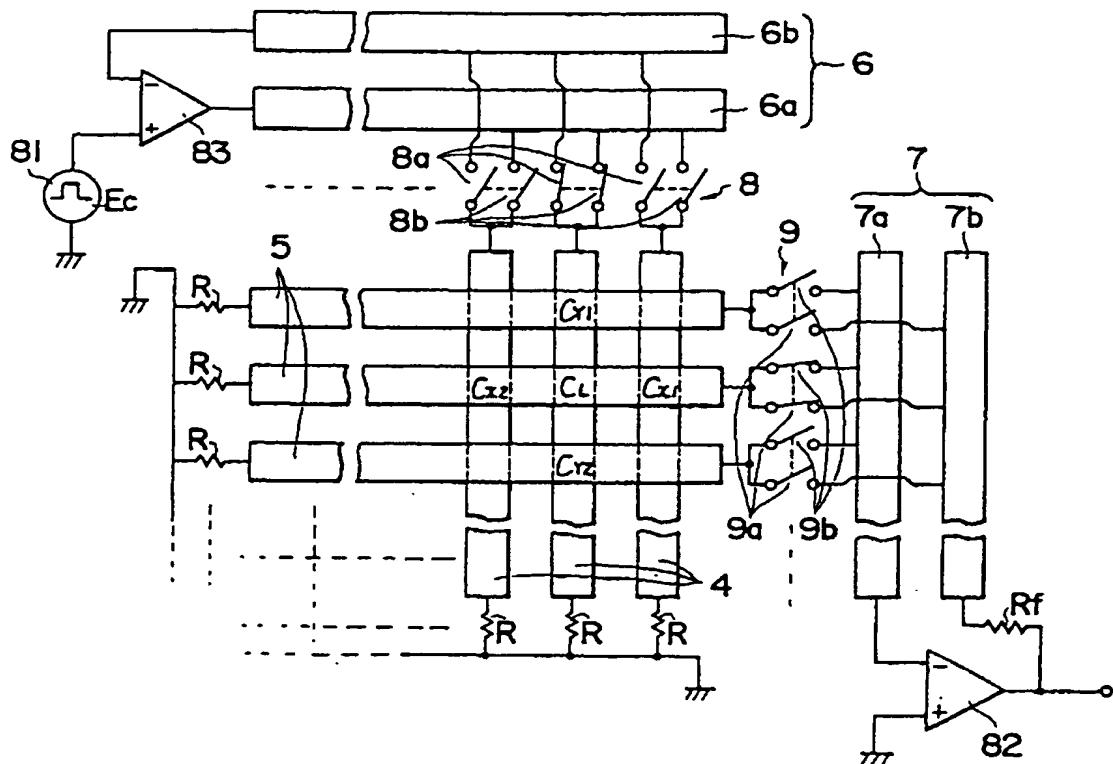
【第39図】



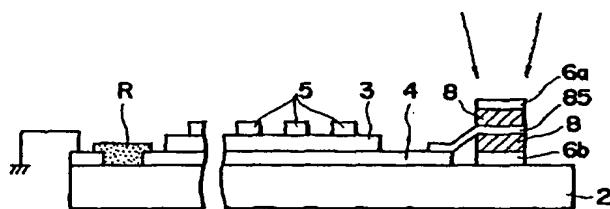
【第18図】



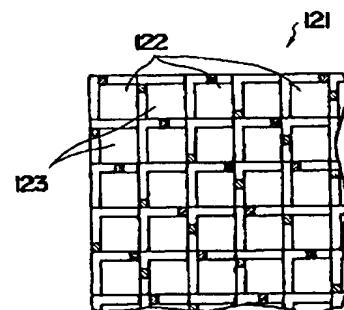
【第17図】



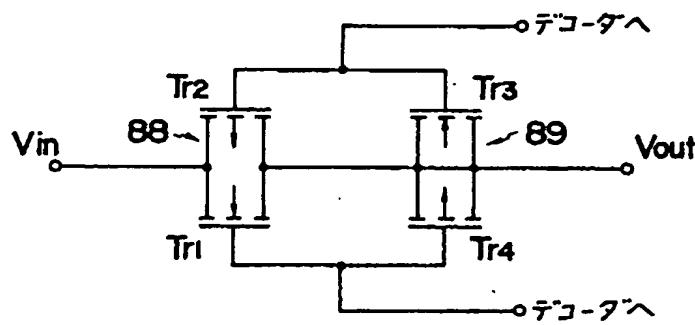
【第21図】



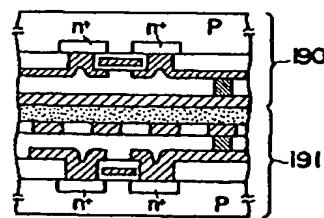
【第35図】



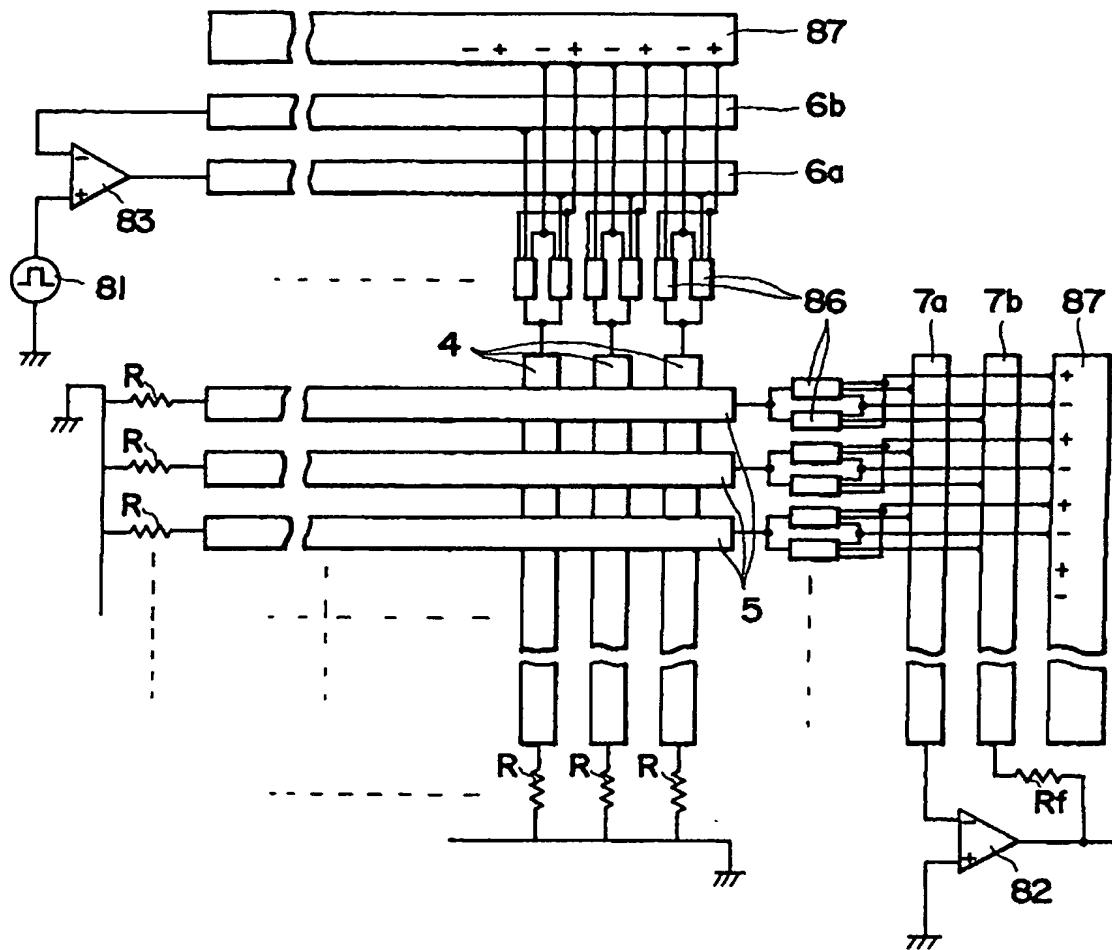
【第23図】



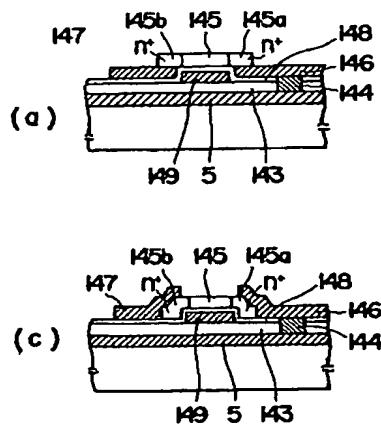
【第46図】



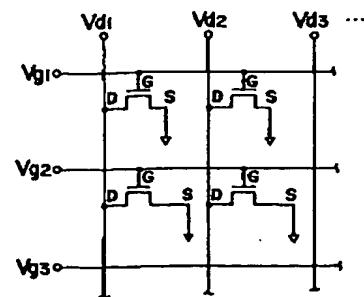
【第22図】



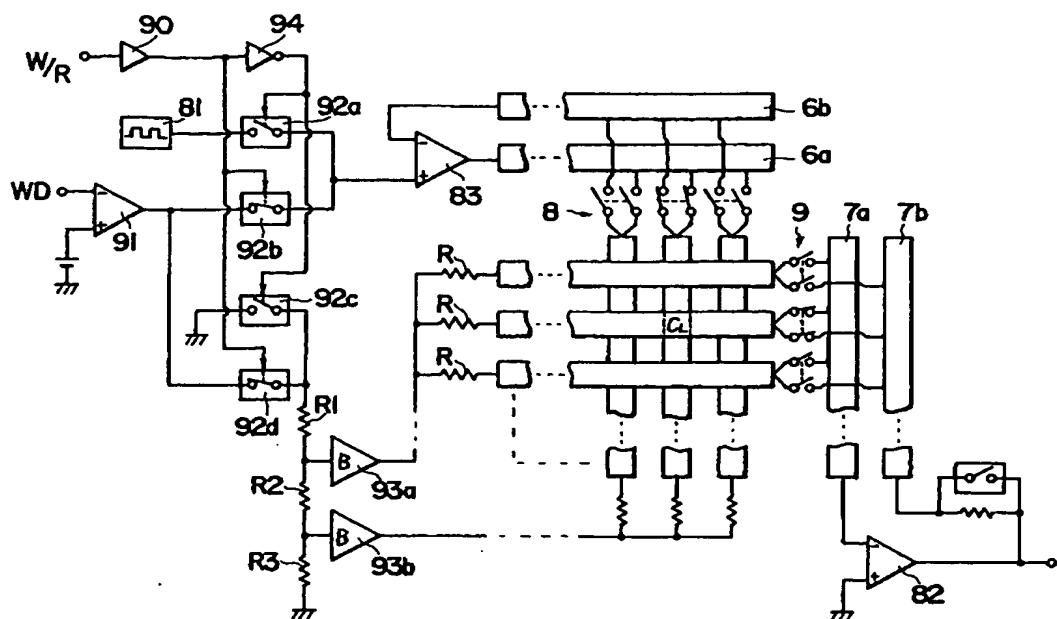
【第36図】



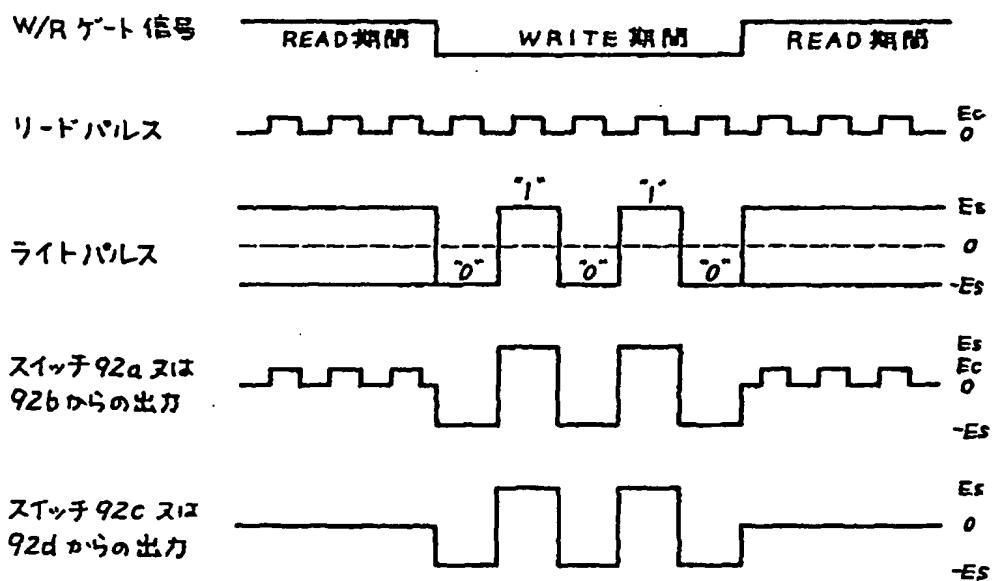
【第37図】



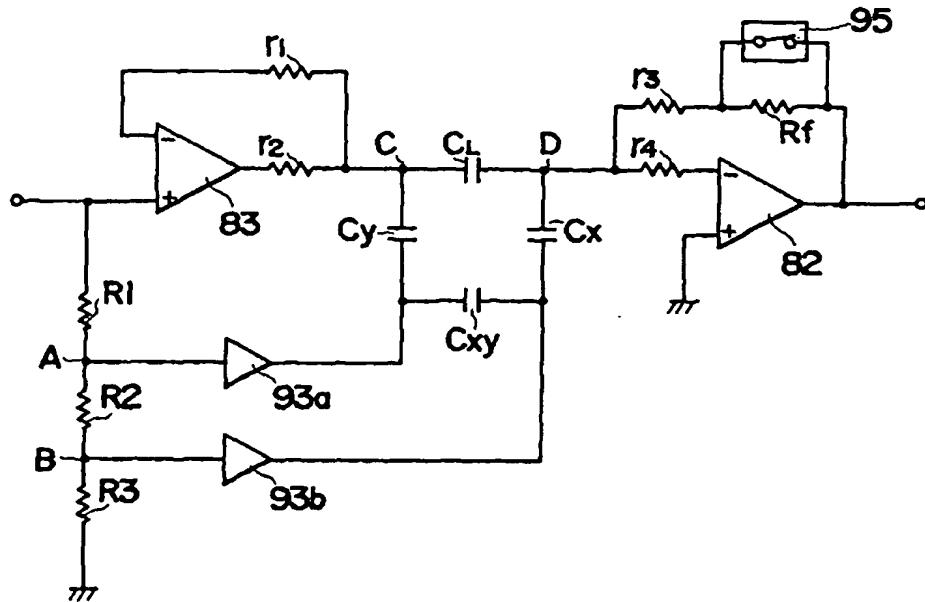
【第24図】



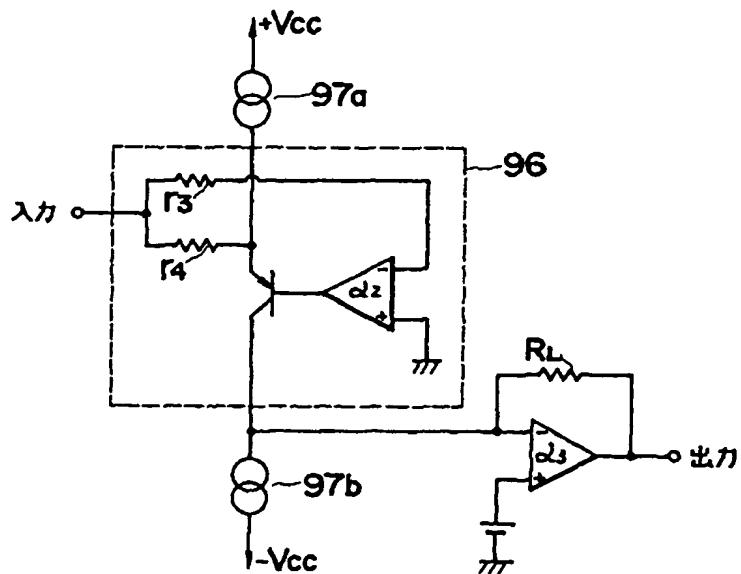
【第25図】



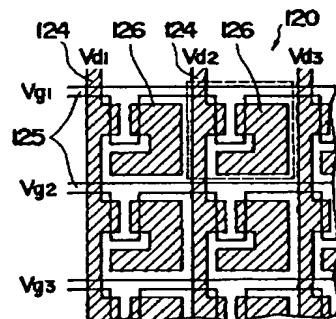
【第26図】



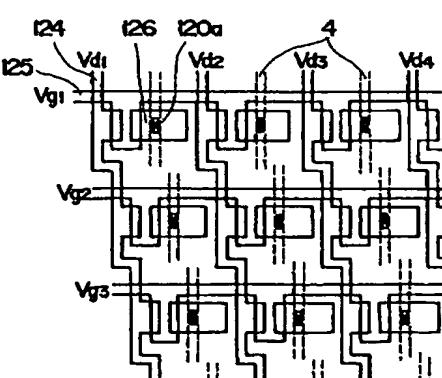
【第27図】



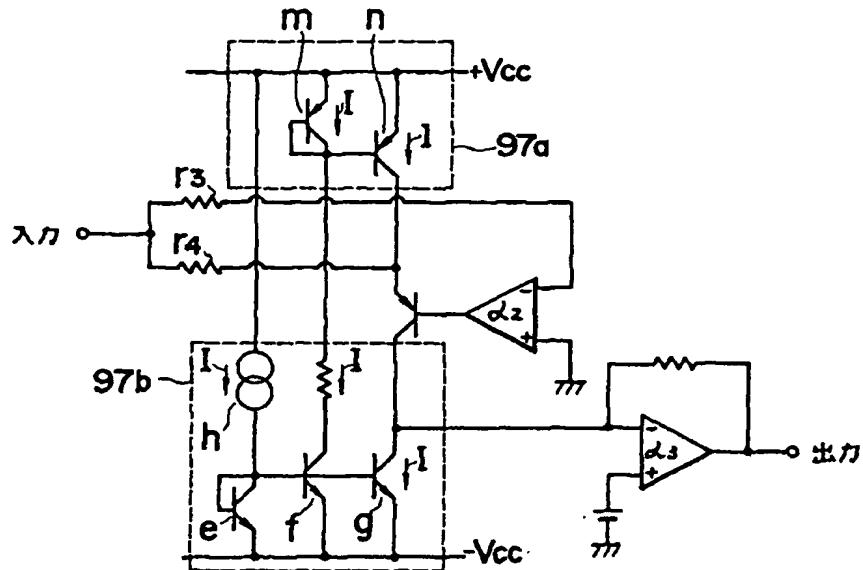
【第38図】



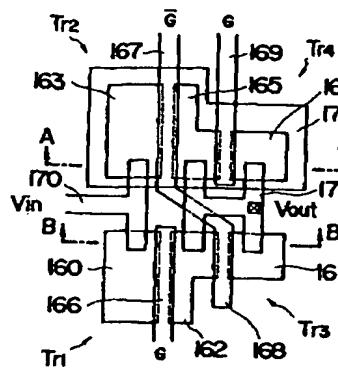
【第40図】



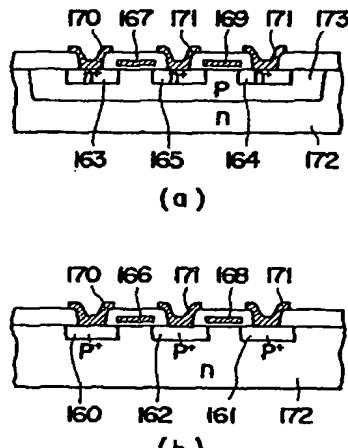
【第28図】



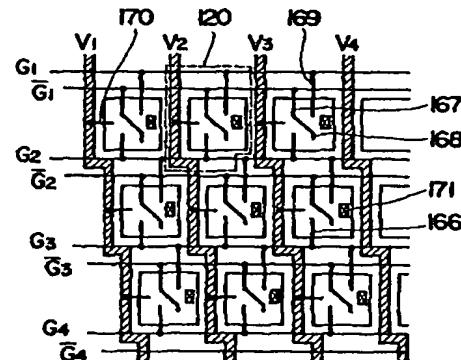
【第41図】



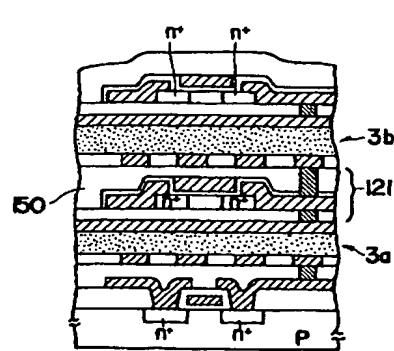
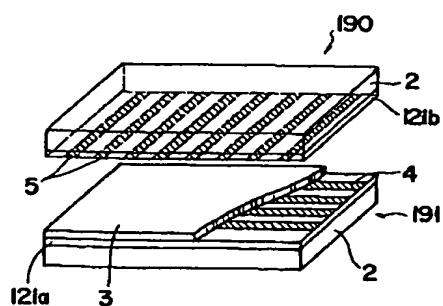
【第42図】



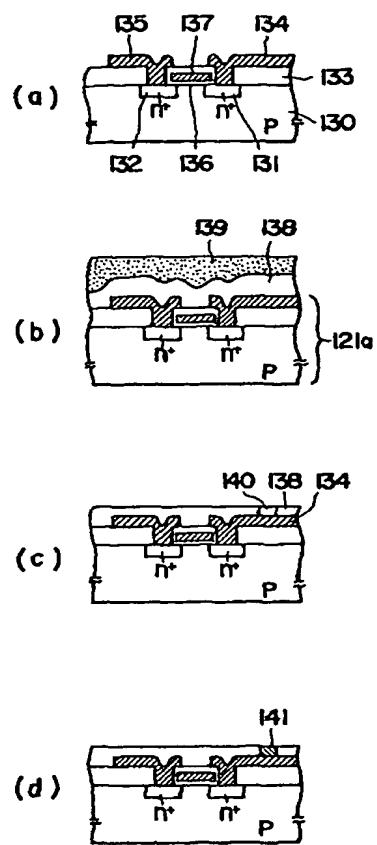
【第43図】



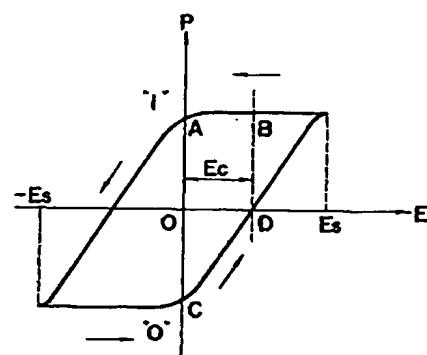
【第45図】



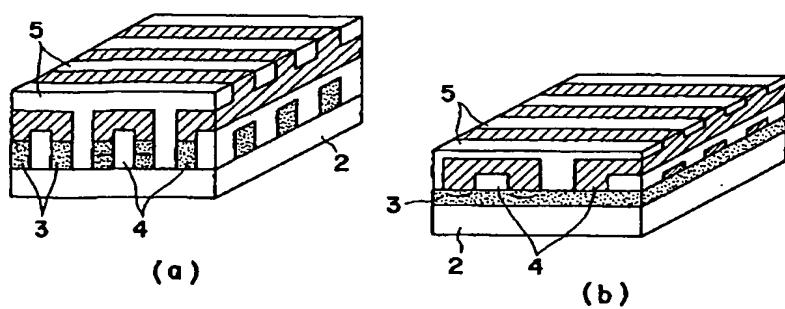
【第33図】

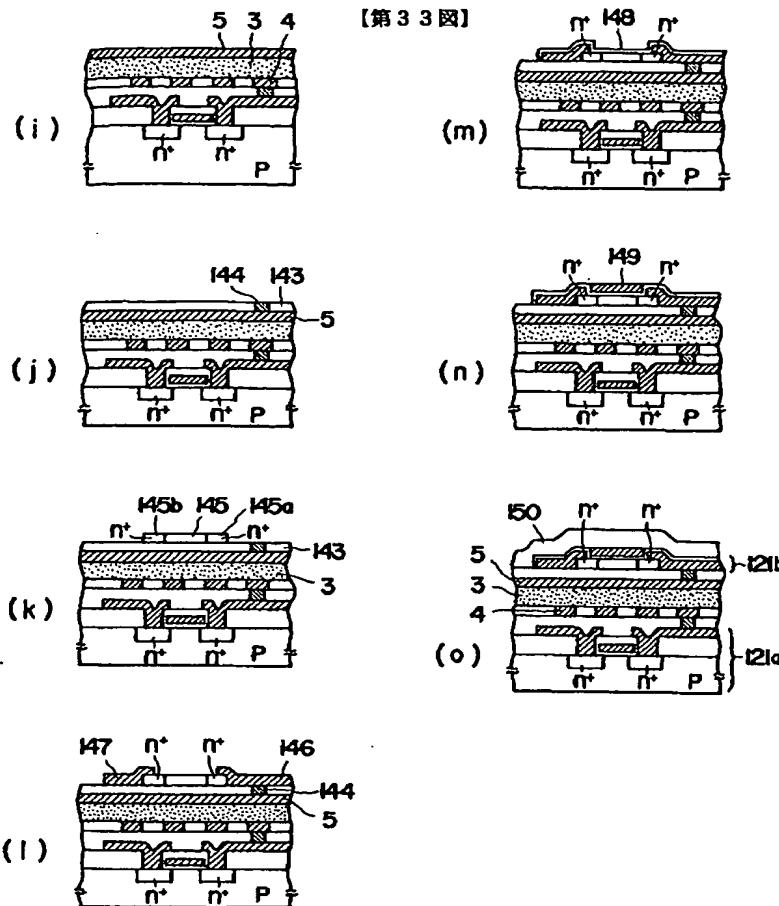


【第50図】

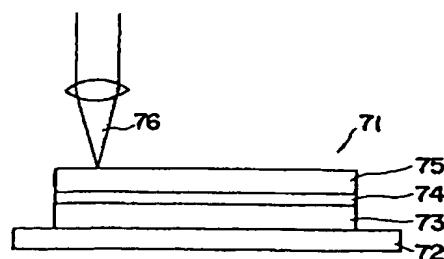


【第47図】

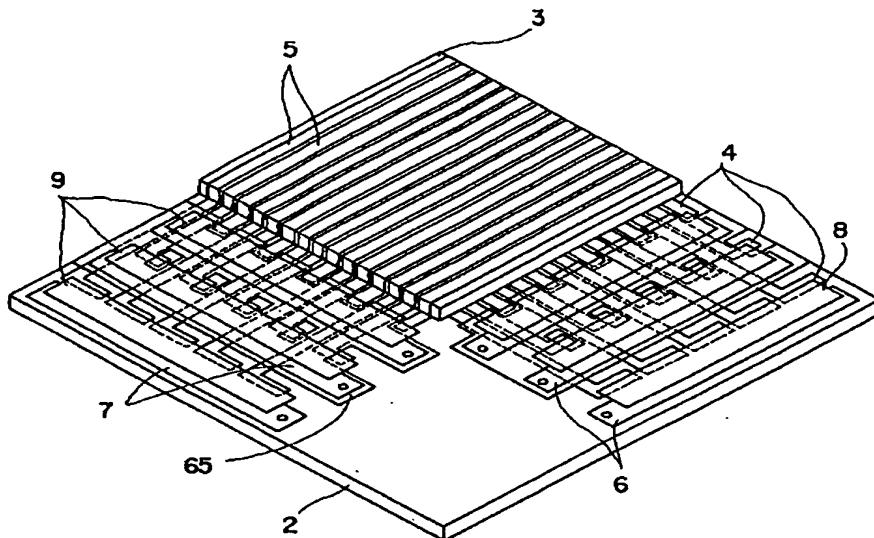




【第51図】



[第49図]



## フロントページの続き

(72)発明者 今出 慎一

東京都渋谷区幡ヶ谷2丁目43番2号 才  
リンバス光学工業株式会社内(56)参考文献 特開 昭60-75821 (J P, A)  
特開 昭59-155880 (J P, A)

(72)発明者 生田 英嗣

東京都渋谷区幡ヶ谷2丁目43番2号 才  
リンバス光学工業株式会社内(58)調査した分野(Int.CI.®, DB名)  
G11C 11/22

(72)発明者 柳沢 一向

東京都渋谷区幡ヶ谷2丁目43番2号 才  
リンバス光学工業株式会社内G11C 11/42  
G11C 13/00  
G11C 11/34  
G09G 3/00  
H01L 27/10

審査官 和田 財太